

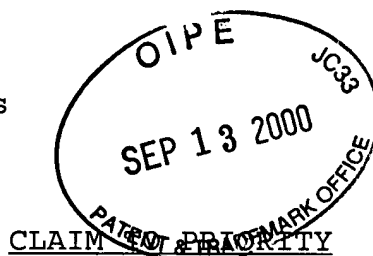
35.C14505

3727  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: )  
JUN YOSHIDA ET AL. : Examiner: Not Yet Known  
Appln. No.: 09/577,980 : Group Art Unit: 3727  
Filed: May 25, 2000 :  
For: INFORMATION PROCESSING )  
APPARATUS AND METHOD : September 12, 2000

Commissioner for Patents  
Washington, D.C. 20231



RECEIVED  
SEP 19 2000  
TECHNOLOGY CENTER 3700

Sir:

Applicants hereby claims priority under the  
International Convention and all rights to which they are  
entitled under 35 U.S.C. § 119 based upon the following  
Japanese Priority Applications:

11-149592 filed on May 28, 1999  
11-304007 filed on October 26, 1999

RECEIVED

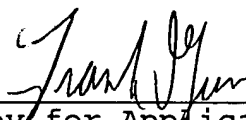
JAN 31 2001

Technology Center 2100

Certified copies of the priority documents are  
enclosed.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our new address given below.

Respectfully submitted,



\_\_\_\_\_  
Attorney for Applicants

Registration No. 42,476

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

C7-014505  
4/1  
09/577, 9/59

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日

Date of Application:

1999年 5月28日

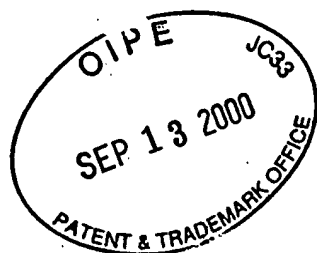
出 願 番 号

Application Number:

平成11年特許願第149592号

願 人  
Applicant (s):

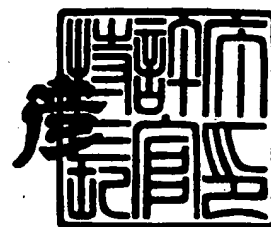
キヤノン株式会社



2000年 6月23日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3046052

【書類名】 特許願

【整理番号】 3939025

【提出日】 平成11年 5月28日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H03M 13/12

【発明の名称】 誤り訂正符号化装置及び方法、誤り訂正復号装置及び方法、情報処理装置、無線通信装置、並びに記憶媒体

【請求項の数】 49

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

    【氏名】 吉田 淳

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

    【氏名】 岩村 恵市

【特許出願人】

    【識別番号】 000001007

    【住所又は居所】 東京都大田区下丸子3丁目30番2号

    【氏名又は名称】 キヤノン株式会社

    【代表者】 御手洗 富士夫

    【電話番号】 03-3758-2111

【代理人】

    【識別番号】 100069877

    【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

    【弁理士】

    【氏名又は名称】 丸島 儀一

    【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703271

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 誤り訂正符号化装置及び方法、誤り訂正復号装置及び方法、情報処理装置、無線通信装置、並びに記憶媒体

【特許請求の範囲】

【請求項 1】 入力データを誤り訂正符号化する第 1 の符号化手段と、前記入力データを所定の順序に並べ替える並べ替え手段と、前記並べ替え手段の出力を誤り訂正符号化する第 2 の符号化手段とを具備し、複数種類の誤り訂正符号化アルゴリズムを前記第 1 の符号化手段を共用して実現することを特徴とする誤り訂正符号化装置。

【請求項 2】 請求項 1 において、前記複数種類の誤り訂正符号化アルゴリズムは、少なくとも前記第 1 の符号化手段を用いて符号化データを生成する第 1 の誤り訂正符号化アルゴリズムと、前記第 1 の符号化手段と前記並べ替え手段と前記第 2 の符号化手段とを用いて符号化データを生成する第 2 の誤り訂正符号化アルゴリズムとを含むことを特徴とする誤り訂正符号化装置。

【請求項 3】 請求項 2 において、前記第 1 の誤り訂正符号化アルゴリズムは、再帰的な或いは非再帰的な畳み込み符号化アルゴリズムであることを特徴とする誤り訂正符号化装置。

【請求項 4】 請求項 2 において、前記第 2 の誤り訂正符号化アルゴリズムは、ターボ符号化アルゴリズムであることを特徴とする誤り訂正符号化装置。

【請求項 5】 請求項 2 ～ 4 の何れかにおいて、前記第 1 の符号化手段は、前記第 1、第 2 の誤り訂正符号化アルゴリズムを実現する場合、前記入力データを再帰的に畳み込み符号化することを特徴とする誤り訂正符号化装置。

【請求項 6】 請求項 2 ～ 4 の何れかにおいて、前記第 1 の符号化手段は、前記第 1 の誤り訂正符号化アルゴリズムを実現する場合、前記入力データを非再帰的に畳み込み符号化し、前記第 2 の誤り訂正符号化アルゴリズムを実現する場合、前記入力データを再帰的に畳み込み符号化することを特徴とする誤り訂正符号化装置。

【請求項 7】 請求項 2 ～ 6 の何れかにおいて、前記第 1 の符号化手段は、前記第 2 の誤り訂正符号化アルゴリズムを実現する場合、前記第 2 の符号化手段

と同様の符号化処理を行なうことを特徴とする誤り訂正符号化装置。

【請求項 8】 請求項 1 ～ 8 の何れかにおいて、前記第 1 の符号化手段は、各誤り訂正符号化アルゴリズムにおける拘束長を変化させることを特徴とする誤り訂正符号化装置。

【請求項 9】 請求項 8 において、前記第 1 の符号化手段は、前記第 1 の誤り訂正符号化アルゴリズムにおける拘束長を、前記第 2 の誤り訂正符号化アルゴリズムにおける拘束長よりも長くすることを特徴とする誤り訂正符号化装置。

【請求項 10】 請求項 8 において、前記第 1 の符号化手段は、遅延回路の数を制御することにより各誤り訂正符号化アルゴリズムの拘束長を変化させることを特徴とする誤り訂正符号化装置。

【請求項 11】 請求項 1 ～ 10 の何れかにおいて、前記誤り訂正符号化装置は更に、前記第 2 の符号化手段の出力を制御する制御手段を具備し、前記制御手段の動作に応じて前記複数種類の誤り訂正符号化アルゴリズムの一つを実現することを特徴とする誤り訂正符号化装置。

【請求項 12】 請求項 1 ～ 11 の何れかに記載された誤り訂正符号化装置を用いて、デジタル情報を誤り訂正符号化することを特徴とする情報処理装置。

【請求項 13】 請求項 1 ～ 11 の何れかに記載された誤り訂正符号化装置を用いて、デジタル情報を誤り訂正符号化することを特徴とする無線通信装置。

【請求項 14】 第 1 の符号化回路を用いて入力データを誤り訂正符号化する第 1 の符号化ステップと、

前記入力データを所定の順序に並べ替える並べ替えステップと、

第 2 の符号化回路を用いて前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化ステップとを有し、

複数種類の誤り訂正符号化アルゴリズムを前記第 1 の符号化ステップを共用して実現することを特徴とする誤り訂正符号化方法。

【請求項 15】 入力データを誤り訂正符号化する第 1 の符号化手順と、前記入力データを所定の順序に並べ替える並べ替え手順と、

前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化手順とを有し

複数種類の誤り訂正符号化アルゴリズムを前記第 1 の符号化手順を共用して実現するためのプログラムを格納したことを特徴とする記憶媒体。

【請求項 1 6】 入力データを誤り訂正符号化する第 1 の符号化手段と、  
前記入力データを所定の順序に並べ替える並べ替え手段と、  
前記並べ替え手段の出力を誤り訂正符号化する第 2 の符号化手段とを具備し、  
前記第 1 の符号化手段と前記第 2 の符号化手段の何れか一方を用いて第 1 の誤り訂正符号化アルゴリズムを実現し、前記第 1 の符号化手段と前記第 2 の符号化手段とを用いて第 2 の誤り訂正符号化アルゴリズムを実現することを特徴とする誤り訂正符号化装置。

【請求項 1 7】 請求項 1 6 において、前記第 1 の誤り訂正符号化アルゴリズムは、再帰的な或いは非再帰的な畳み込み符号化アルゴリズムであり、前記第 2 の誤り訂正符号化アルゴリズムは、ターボ符号化アルゴリズムであることを特徴とする誤り訂正符号化装置。

【請求項 1 8】 請求項 1 6 若しくは 1 7 において、前記誤り訂正符号化装置は、前記第 1 の誤り訂正符号化アルゴリズムと前記第 2 の誤り訂正符号化アルゴリズムとを異なる拘束長で実現することを特徴とする誤り訂正符号化装置。

【請求項 1 9】 請求項 1 8 において、前記誤り訂正符号化装置は、遅延回路の数を制御することにより各誤り訂正符号化アルゴリズムの拘束長を変化させることを特徴とする誤り訂正符号化装置。

【請求項 2 0】 入力データを誤り訂正符号化する第 1 の符号化ステップと、  
前記入力データを所定の順序に並べ替える並べ替えステップと、  
前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化ステップとを有し、

前記第 1 の符号化ステップと前記第 2 の符号化ステップの何れか一方を用いて第 1 の誤り訂正符号化アルゴリズムを実現し、前記第 1 の符号化ステップと前記第 2 の符号化ステップとを用いて第 2 の誤り訂正符号化アルゴリズムを実現する

ことを特徴とする誤り訂正符号化方法。

【請求項 2 1】 入力データを誤り訂正符号化する第 1 の符号化手順と、  
前記入力データを所定の順序に並べ替える並べ替え手順と、  
前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化手順とを有し

前記第 1 の符号化手順と前記第 2 の符号化手順の何れか一方を用いて第 1 の誤り訂正符号化アルゴリズムを実現し、前記第 1 の符号化手順と前記第 2 の符号化手順とを用いて第 2 の誤り訂正符号化アルゴリズムを実現するためのプログラムを格納したことを特徴とする記憶媒体。

【請求項 2 2】 入力データを所定の順序に並べ替える並べ替え手段と、  
前記入力データと前記並べ替え手段の出力の少なくとも一方を誤り訂正符号化する符号化手段とを具備し、

前記符号化手段を制御して複数種類の誤り訂正符号化アルゴリズムを実現することを特徴とする誤り訂正符号化装置。

【請求項 2 3】 請求項 2 2 において、前記複数種類の誤り訂正符号化アルゴリズムは、前記入力データと前記並べ替え手段の出力の少なくとも一方を誤り訂正符号化する第 1 の誤り訂正符号化アルゴリズムと、前記入力データと前記並べ替え手段の出力の双方を誤り訂正符号化する第 2 の誤り訂正符号化アルゴリズムとを含むことを特徴とする誤り訂正符号化装置。

【請求項 2 4】 請求項 2 3 において、前記第 1 の誤り訂正符号化アルゴリズムは、再帰的な或いは非再帰的な畳み込み符号化アルゴリズムであり、前記第 2 の誤り訂正符号化アルゴリズムは、ターボ符号化アルゴリズムであることを特徴とする誤り訂正符号化装置。

【請求項 2 5】 請求項 2 2 ～ 2 4 の何れかにおいて、前記誤り訂正符号化装置は、前記第 1 の誤り訂正符号化アルゴリズムと前記第 2 の誤り訂正符号化アルゴリズムとを異なる拘束長で実現することを特徴とする誤り訂正符号化装置。

【請求項 2 6】 請求項 2 5 において、前記誤り訂正符号化装置は、遅延回路の数を制御することにより各誤り訂正符号化アルゴリズムの拘束長を変化させることを特徴とする誤り訂正符号化装置。

【請求項 2 7】 入力データを所定の順序に並べ替える並べ替えステップと

符号化回路を用いて、前記入力データと前記並べ替えステップの出力の少なくとも一方を誤り訂正符号化する符号化ステップとを有し、

前記符号化ステップを制御して複数種類の誤り訂正符号化アルゴリズムを実現することを特徴とする誤り訂正符号化方法。

【請求項 2 8】 入力データを所定の順序に並べ替える並べ替え手順と、

前記入力データと前記並べ替えステップの出力の少なくとも一方を誤り訂正符号化する符号化手順とを有し、

前記符号化手順を制御して複数種類の誤り訂正符号化アルゴリズムを実現するためのプログラムを格納したことを特徴とする記憶媒体。

【請求項 2 9】 入力データを軟出力復号する第 1 の復号手段と、

前記第 1 の復号手段の出力を所定の順序に並べ替える第 1 の並べ替え手段と、

前記第 1 の並べ替え手段の出力を軟出力復号する第 2 の復号手段と、

前記第 2 の復号手段の出力を前記第 1 の並べ替え手段に対応する順序に並べ替える第 2 の並べ替え手段とを具備し、

複数種類の誤り訂正復号アルゴリズムを前記第 1 の復号手段を共用して実現することを特徴とする誤り訂正復号装置。

【請求項 3 0】 請求項 2 9 において、前記複数種類の誤り訂正符号化アルゴリズムは、前記第 1 の復号手段を用いて前記入力データを復号する第 1 の誤り訂正復号アルゴリズムと、前記第 1 の復号手段と前記第 2 の復号手段の双方を用いて前記入力データを復号する第 2 の誤り訂正復号アルゴリズムとを含むことを特徴とする誤り訂正復号装置。

【請求項 3 1】 請求項 3 0 において、前記誤り訂正復号装置は、前記第 1 の誤り訂正復号アルゴリズムを実現する場合には、前記第 1 の復号手段の出力を復号結果とし、前記第 2 の誤り訂正復号アルゴリズムを実現する場合には、前記第 2 の並び替え手段の出力を復号結果とすることを特徴とする誤り訂正復号装置。

【請求項 3 2】 請求項 3 0 若しくは 3 1 において、前記第 1 の誤り訂正復号アルゴリズムは、ビタビ復号アルゴリズムであることを特徴とする誤り訂正復号装置。

【請求項 3 3】 請求項 3 0 若しくは 3 1 において、前記第 2 の誤り訂正復号アルゴリズムは、ターボ復号アルゴリズムであることを特徴とする誤り訂正復号装置。

【請求項 3 4】 請求項 3 0 ～ 3 3 の何れかにおいて、前記第 1 の復号手段は、前記第 2 の誤り訂正復号アルゴリズムを実現する場合、前記第 2 の復号手段と同様の復号処理を行なうことを特徴とする誤り訂正復号装置。

【請求項 3 5】 請求項 3 0 ～ 3 4 の何れかにおいて、前記第 1 の誤り訂正復号アルゴリズムと前記第 2 の誤り訂正復号アルゴリズムとは、拘束長の異なる誤り訂正符号を復号することを特徴とする誤り訂正復号装置。

【請求項 3 6】 請求項 3 5 において、前記第 1 の誤り訂正復号アルゴリズムは、前記第 2 の誤り訂正復号アルゴリズムよりも拘束長の長い誤り訂正符号を復号することを特徴とする誤り訂正復号装置。

【請求項 3 7】 請求項 3 5 において、前記第 1 の復号手段は、テーブルの内容を切り換えることにより、前記複数種類の誤り訂正復号アルゴリズムを実現することを特徴とする誤り訂正復号装置。

【請求項 3 8】 請求項 3 5 において、前記第 1 の復号手段は、遅延回路の数を制御することにより、前記複数種類の誤り訂正復号アルゴリズムを実現することを特徴とする誤り訂正復号装置。

【請求項 3 9】 請求項 2 9 ～ 3 8 の何れかにおいて、前記誤り訂正復号装置は更に、前記第 2 の復号手段の出力を制御する制御手段を具備し、前記制御手段の動作に応じて前記複数種類の誤り訂正復号アルゴリズムの一つを実現することを特徴とする誤り訂正復号装置。

【請求項 4 0】 請求項 2 9 ～ 3 9 の何れかに記載された誤り訂正復号装置を用いて、所定の誤り訂正符号を復号することを特徴とする情報処理装置。

【請求項 4 1】 請求項 2 9 ～ 3 9 の何れかに記載された誤り訂正復号装置を用いて、所定の誤り訂正符号を復号することを特徴とする無線通信装置。

【請求項 4 2】 第 1 の復号回路を用いて入力データを軟出力復号する第 1 の復号ステップと、

前記第 1 の復号ステップの出力を所定の順序に並べ替える第 1 の並べ替えステップと、

第 2 の復号回路を用いて前記第 1 の並べ替えステップの出力を軟出力復号する第 2 の復号ステップと、

前記第 2 の復号ステップの出力を前記第 1 の並べ替えステップに対応する順序に並べ替える第 2 の並べ替えステップとを有し、

複数種類の誤り訂正復号アルゴリズムを前記第 1 の復号ステップを共用して実現することを特徴とする誤り訂正復号方法。

【請求項 4 3】 入力データを軟出力復号する第 1 の復号手順と、

前記第 1 の復号手順の出力を所定の順序に並べ替える第 1 の並べ替え手順、

前記第 1 の並べ替え手順の出力を軟出力復号する第 2 の復号手順と、

前記第 2 の復号手順の出力を前記第 1 の並べ替え手順に対応する順序に並べ替える第 2 の並べ替え手順とを有し、

複数種類の誤り訂正復号アルゴリズムを前記第 1 の復号手順を共用して実現するためのプログラムを格納したことを特徴とする記憶媒体。

【請求項 4 4】 入力データを軟出力復号する第 1 の復号手段と、

前記第 1 の復号手段の出力を所定の順序に並べ替える第 1 の並べ替え手段と、

前記第 1 の並べ替え手段の出力を軟出力復号する第 2 の復号手段と、

前記第 2 の復号手段の出力を前記第 1 の並べ替え手段に対応する順序に並べ替える第 2 の並べ替え手段とを具備し、

前記第 2 の復号手段を用いることなく第 1 の誤り訂正復号アルゴリズムを実現し、前記第 1 の復号手段と前記第 2 の復号手段とを用いて第 2 の誤り訂正復号アルゴリズムを実現することを特徴とする誤り訂正復号装置。

【請求項 4 5】 請求項 4 4 において、前記第 1 の誤り訂正復号アルゴリズムは、ビタビ復号アルゴリズムであり、前記第 2 の誤り訂正復号アルゴリズムは、ターボ復号アルゴリズムであることを特徴とする誤り訂正復号装置。

【請求項 4 6】 請求項 4 4 若しくは 4 5 において、前記第 1 の誤り訂正復号アルゴリズムと前記第 2 の誤り訂正復号アルゴリズムとは、拘束長の異なる誤り訂正符号を復号することを特徴とする誤り訂正復号装置。

【請求項 4 7】 請求項 4 6 において、前記第 1 の復号手段は、テーブルの内容を切り換える、或いは遅延回路の数を制御することにより、前記複数種類の誤り訂正復号アルゴリズムを実現することを特徴とする誤り訂正復号装置。

【請求項 4 8】 入力データを軟出力復号する第 1 の復号ステップと、  
前記第 1 の復号ステップの出力を所定の順序に並べ替える第 1 の並べ替えステップと、  
前記第 1 の並べ替えステップの出力を軟出力復号する第 2 の復号ステップと、  
前記第 2 の復号ステップの出力を前記第 1 の並べ替えステップに対応する順序に並べ替える第 2 の並べ替えステップとを具備し、  
前記第 2 の復号ステップを用いることなく第 1 の誤り訂正復号アルゴリズムを実現し、前記第 1 の復号ステップと前記第 2 の復号ステップとを用いて第 2 の誤り訂正復号アルゴリズムを実現することを特徴とする誤り訂正復号方法。

【請求項 4 9】 入力データを軟出力復号する第 1 の復号手順と、  
前記第 1 の復号手順の出力を所定の順序に並べ替える第 1 の並べ替え手順と、  
前記第 1 の並べ替え手順の出力を軟出力復号する第 2 の復号手順と、  
前記第 2 の復号手順の出力を前記第 1 の並べ替え手順に対応する順序に並べ替える第 2 の並べ替え手順とを具備し、  
前記第 2 の復号手順を用いることなく第 1 の誤り訂正復号アルゴリズムを実現し、前記第 1 の復号手順と前記第 2 の復号手順とを用いて第 2 の誤り訂正復号アルゴリズムを実現するためのプログラムを格納したことを特徴とする記憶媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、誤り訂正符号化装置及び方法、誤り訂正復号装置及び方法、情報処理装置、並びに無線通信装置に係り、特にディジタル情報の誤りを訂正するための技術に関するものである。

【 0 0 0 2 】

【従来の技術】

伝送路上のデジタル情報を受信した場合、或いは、フロッピーディスク、コンパクトディスク、磁気テープ等の記録媒体からデジタル情報を再生した場合、そのデジタル情報に誤りが生ずることがある。

【 0 0 0 3 】

このようなデジタル情報の誤りを防止する手法の一つに、誤り訂正技術がある。誤り訂正技術とは、伝送或いは記録するデジタル情報に対して冗長性のある符号化を施し、デジタル情報に誤りが生じた場合であっても正しい情報の復元を可能にする技術である。

【 0 0 0 4 】

【発明が解決しようとする課題】

通常、誤り訂正技術を実現するアルゴリズムは複数種類あり、それらはデジタル情報の種類やその誤り特性、伝送路の種類やその誤り特性、記録媒体の種類やその誤り特性等に応じて選択されていた。そのため、複数の誤り訂正アルゴリズムを選択的に使用するシステムを構成する場合、各アルゴリズムに対応する符号化回路及び復号回路を個別に設けなければならず、回路規模を増大させ、コストを増加させてしまう問題があった。

【 0 0 0 5 】

以上の背景から本出願の発明の目的は、複数種類の誤り訂正符号化アルゴリズム或いは複数種類の誤り訂正復号アルゴリズムを、回路規模を増大させることなく、簡単且つ低コストな回路構成で実現する誤り訂正符号化装置及び方法、誤り訂正復号装置及び方法、情報処理装置、並びに無線通信装置を提供することである。

【 0 0 0 6 】

【課題を解決するための手段】

上述のような目的を達成するために、本発明の誤り訂正符号化装置は、入力データを誤り訂正符号化する第 1 の符号化手段と、前記入力データを所定の順序に並べ替える並べ替え手段と、前記並べ替え手段の出力を誤り訂正符号化する第 2

の符号化手段とを具備し、複数種類の誤り訂正符号化アルゴリズムを前記第 1 の符号化手段を共用して実現することを特徴とする。

## 【0007】

又、本発明の誤り訂正符号化方法は、第 1 の符号化回路を用いて入力データを誤り訂正符号化する第 1 の符号化ステップと、前記入力データを所定の順序に並べ替える並べ替えステップと、第 2 の符号化回路を用いて前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化ステップとを有し、複数種類の誤り訂正符号化アルゴリズムを前記第 1 の符号化ステップを共用して実現することを特徴とする。

## 【0008】

又、本発明の記憶媒体は、入力データを誤り訂正符号化する第 1 の符号化手順と、前記入力データを所定の順序に並べ替える並べ替え手順と、前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化手順とを有し、複数種類の誤り訂正符号化アルゴリズムを前記第 1 の符号化手順を共用して実現するためのプログラムを格納したことを特徴とする。

## 【0009】

又、本発明の誤り訂正符号化装置は、入力データを誤り訂正符号化する第 1 の符号化手段と、前記入力データを所定の順序に並べ替える並べ替え手段と、前記並べ替え手段の出力を誤り訂正符号化する第 2 の符号化手段とを具備し、前記第 1 の符号化手段と前記第 2 の符号化手段の何れかを用いて第 1 の誤り訂正符号化アルゴリズムを実現し、前記第 1 の符号化手段と前記第 2 の符号化手段とを用いて第 2 の誤り訂正符号化アルゴリズムを実現することを特徴とする。

## 【0010】

又、本発明の誤り訂正符号化方法は、入力データを誤り訂正符号化する第 1 の符号化ステップと、前記入力データを所定の順序に並べ替える並べ替えステップと、前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化ステップとを有し、前記第 1 の符号化ステップと前記第 2 の符号化ステップの何れかを用いて第 1 の誤り訂正符号化アルゴリズムを実現し、前記第 1 の符号化ステップと前記第 2 の符号化ステップとを用いて第 2 の誤り訂正符号化アルゴリズムを実現す

ることを特徴とする。

【0011】

又、本発明の記憶媒体は、入力データを誤り訂正符号化する第1の符号化手順と、前記入力データを所定の順序に並べ替える並べ替え手順と、前記並べ替えステップの出力を誤り訂正符号化する第2の符号化手順とを有し、前記第1の符号化手順と前記第2の符号化手順の何れかを用いて第1の誤り訂正符号化アルゴリズムを実現し、前記第1の符号化手順と前記第2の符号化手順とを用いて第2の誤り訂正符号化アルゴリズムを実現するためのプログラムを格納したことを特徴とする。

【0012】

又、本発明の誤り訂正符号化装置は、入力データを所定の順序に並べ替える並べ替え手段と、前記入力データと前記並べ替え手段の出力の少なくとも一方を誤り訂正符号化する符号化手段とを具備し、前記符号化手段を制御して複数種類の誤り訂正符号化アルゴリズムを実現することを特徴とする。

【0013】

又、本発明の誤り訂正符号化方法は、入力データを所定の順序に並べ替える並べ替えステップと、符号化回路を用いて、前記入力データと前記並べ替えステップの出力の少なくとも一方を誤り訂正符号化する符号化ステップとを有し、前記符号化ステップを制御して複数種類の誤り訂正符号化アルゴリズムを実現することを特徴とする。

【0014】

又、本発明の記憶媒体は、入力データを所定の順序に並べ替える並べ替え手順と、前記入力データと前記並べ替えステップの出力の少なくとも一方を誤り訂正符号化する符号化手順とを有し、前記符号化手順を制御して複数種類の誤り訂正符号化アルゴリズムを実現するためのプログラムを格納したことを特徴とする。

【0015】

又、本発明の誤り訂正復号装置は、入力データを軟出力復号する第1の復号手段と、前記第1の復号手段の出力を所定の順序に並べ替える第1の並べ替え手段と、前記第1の並べ替え手段の出力を軟出力復号する第2の復号手段と、前記第

2の復号手段の出力を前記第1の並べ替え手段に対応する順序に並べ替える第2の並べ替え手段とを具備し、複数種類の誤り訂正復号アルゴリズムを前記第1の復号手段を共用して実現することを特徴とする。

## 【0016】

又、本発明の誤り訂正復号方法は、第1の復号回路を用いて入力データを軟出力復号する第1の復号ステップと、前記第1の復号ステップの出力を所定の順序に並べ替える第1の並べ替えステップと、第2の復号回路を用いて前記第1の並べ替えステップの出力を軟出力復号する第2の復号ステップと、前記第2の復号ステップの出力を前記第1の並べ替えステップに対応する順序に並べ替える第2の並べ替えステップとを有し、複数種類の誤り訂正復号アルゴリズムを前記第1の復号ステップを共用して実現することを特徴とする。

## 【0017】

又、本発明の記憶媒体は、入力データを軟出力復号する第1の復号手順と、前記第1の復号手順の出力を所定の順序に並べ替える第1の並べ替え手順、前記第1の並べ替え手順の出力を軟出力復号する第2の復号手順と、前記第2の復号手順の出力を前記第1の並べ替え手順に対応する順序に並べ替える第2の並べ替え手順とを有し、複数種類の誤り訂正復号アルゴリズムを前記第1の復号手順を共用して実現するためのプログラムを格納したことを特徴とする。

## 【0018】

又、本発明の誤り訂正復号装置は、入力データを軟出力復号する第1の復号手段と、前記第1の復号手段の出力を所定の順序に並べ替える第1の並べ替え手段と、前記第1の並べ替え手段の出力を軟出力復号する第2の復号手段と、前記第2の復号手段の出力を前記第1の並べ替え手段に対応する順序に並べ替える第2の並べ替え手段とを具備し、前記第2の復号手段を用いることなく第1の誤り訂正復号アルゴリズムを実現し、前記第1の復号手段と前記第2の復号手段とを用いて第2の誤り訂正復号アルゴリズムを実現することを特徴とする。

## 【0019】

又、本発明の誤り訂正復号方法は、入力データを軟出力復号する第1の復号ステップと、前記第1の復号ステップの出力を所定の順序に並べ替える第1の並べ

替えステップと、前記第 1 の並べ替えステップの出力を軟出力復号する第 2 の復号ステップと、前記第 2 の復号ステップの出力を前記第 1 の並べ替えステップに対応する順序に並べ替える第 2 の並べ替えステップとを具備し、前記第 2 の復号ステップを用いることなく第 1 の誤り訂正復号アルゴリズムを実現し、前記第 1 の復号ステップと前記第 2 の復号ステップとを用いて第 2 の誤り訂正復号アルゴリズムを実現することを特徴とする。

## 【0020】

又、本発明の記憶媒体は、入力データを軟出力復号する第 1 の復号手順と、前記第 1 の復号手順の出力を所定の順序に並べ替える第 1 の並べ替え手順と、前記第 1 の並べ替え手順の出力を軟出力復号する第 2 の復号手順と、前記第 2 の復号手順の出力を前記第 1 の並べ替え手順に対応する順序に並べ替える第 2 の並べ替え手順とを具備し、前記第 2 の復号手順を用いることなく第 1 の誤り訂正復号アルゴリズムを実現し、前記第 1 の復号手順と前記第 2 の復号手順とを用いて第 2 の誤り訂正復号アルゴリズムを実現するためのプログラムを格納したことを特徴とする。

## 【0021】

## 【発明の実施の形態】

以下、本発明の実施例について図面を用いて詳細に説明する。

## 【0022】

## (第 1 の実施例)

まず、本実施例で使用する誤り訂正符号化アルゴリズム及び誤り訂正復号アルゴリズムについて説明する。

## 【0023】

## (1) 畳み込み符号化アルゴリズム

図 1 (a)、(b) は、畳み込み符号化アルゴリズムの一例について説明する図である。

## 【0024】

畳み込み符号とは、ある時点で入力されたビット列だけでなく、その時点より以前に入力されたビット列の影響を受けた符号化データを出力する符号化方式で

ある。

#### 【0025】

図1(a)は、非再帰的な畳み込み符号化アルゴリズムを実現するために必要な誤り訂正符号化回路の一例を示すブロック図である。本回路100は、一単位時間の遅延回路101及び102、mod 2の加算回路103及び104から構成される。

#### 【0026】

畳み込み符号化回路100は、複数のビット単位に入力されるデジタル情報を入力データaとして加算回路103、104に供給する。加算回路103は、入力データaと遅延回路102の出力との和を符号化データb1として出力し、加算回路104は、入力データa、遅延回路101、102の出力の和を符号化データb2として出力する。

#### 【0027】

図1(b)は、再帰的な畳み込み符号化アルゴリズムを実現するために必要な誤り訂正符号化回路の一例を示すブロック図である。本回路110は、一単位時間の遅延回路105及び106、mod 2の加算回路107及び108から構成される。本回路110は、再帰型畳み込み符号化回路と呼ばれ、後述するターボ符号化アルゴリズムを実現する2つの符号化回路において用いられる。

#### 【0028】

再帰型畳み込み符号化回路110は、複数のビット単位に入力されるデジタル情報を入力データaとして加算回路107に供給する。加算回路107は、入力データaと遅延回路106の出力との和（即ち、フィードバック和）を演算し、その演算結果を遅延回路105及び加算回路108に入力する。加算回路108は、加算回路107のフィードバック和、遅延回路105及び106の出力を加算し、その結果を符号化データb3として出力する。

#### 【0029】

### (2) 軟出力復号アルゴリズム

図2を用いて軟出力復号アルゴリズムの一例について説明する。

## 【0030】

図2は、軟出力復号アルゴリズムを実現するために必要な誤り訂正復号回路の一例を示すブロック図である。以下、軟出力復号アルゴリズムの一つである軟入力軟出力ビタビ復号アルゴリズムを例にとって復号回路200を説明する。

## 【0031】

軟出力復号回路200は、符号化回路201、符号化回路201で生成された符号ビットと入力データcとの相関の強さを示す値であるブランチメトリックを求めるブランチメトリック演算回路202、ACS (Add Compare Select) 回路203、全てのパスのパスメトリックを格納するパスメトリックメモリ204、ACS回路203により選択された生き残りパスを示すパス選択情報を格納するパスメモリ205、最尤パスと最尤パスに対抗する対抗パスとを比較して最尤パスの尤度情報を生成するトレースバック回路206から構成される。

## 【0032】

ここで、ACS回路203は、複数時刻に渡ってブランチメトリックを加算し、各状態に至るパスのパスメトリックを求める。そして、ある状態に至る複数のパスのパスメトリックを比較し、より相関の強いパスメトリックを持つパス（即ち、生き残りパス）を選択する回路である。

## 【0033】

次に、図2に示す復号回路の動作を説明する。

## 【0034】

ブランチメトリック演算回路202は、一単位時間毎に、符号化回路201の出力と入力データcとを比較し、各ブランチにおけるブランチメトリックを求める。ACS回路203は、複数時刻に渡ってブランチメトリックを加算し、各状態に至るパスのパスメトリックを演算する。この演算結果は、パスメトリックメモリ204に格納される。

## 【0035】

ACS回路203はまた、各状態に至る複数のパスのパスメトリックを比較し、その中から入力データcとの相関がより強いと推定されるパスを（即ち、生き残りパス）を選択する。このとき選択された生き残りパスのパスメトリックはパ

スメモリックメモリ 204 に格納され、そのパスを示すパス選択情報はパスメモリ 205 に格納される。ここで、パスメモリックメモリ 204 には、生き残りパスと同時に選択されなかったパスのパスメモリックも格納する。ACS 回路 203 は最終的に、ある時点において最も相関が強いと推定されるパス（即ち、最尤パス）を決定する。

#### 【0036】

トレースバック回路 206 は、パスメモリ 205 に格納されたパス選択情報を用いて最尤パスをたどると共に、この最尤パスのパスメモリックと最尤パスに対応する対抗パスのパスメモリックとを比較し、最尤パスの尤度を演算する。ここで尤度は、例えば各時点におけるパスメモリックの差の  $1/2$  の和により演算される。トレースバック回路 206 は、最尤パスと尤度との積を復号結果  $d$  として出力する。

#### 【0037】

尚、図 2 の軟出力復号回路 200 は一例であって、これに限るものではない。例えば、符号化回路 201 を、符号化回路 201 の入出力を対応付けたテーブルにより実現することも可能である。

#### 【0038】

##### (3) ターボ符号化アルゴリズム

図 3 を用いてターボ符号化アルゴリズムについて説明する。

#### 【0039】

図 3 は、ターボ符号化アルゴリズムを実現するために必要な誤り訂正符号化回路の一例を示すブロック図である。本回路 300 は、ランダム或いは所定の規則に基づき入力データ  $x$  を並べ替えるインターリーバ 301、2 つの畳み込み符号化回路 302、303 によって構成されている。ここで、畳み込み符号化回路 302、303 には、例えば、図 1 (b) に示す再帰型畳み込み符号化回路 110 が用られる。

#### 【0040】

ターボ符号化回路 300 は、入力された複数ビットのデジタル情報を 3 つの出力データ（図 3 の  $x$ 、 $y_1$ 、 $y_2$ ）に変換する。3 つの出力データとは、①入

力データ  $x$  をそのまま出力した結果（即ち、出力データ  $x$ ）、②入力データ  $x$  を畳み込み符号化した結果（即ち、出力データ  $y_1$ ）、③インターリーバ 301 によってビット順を並べ替えた入力データ  $x$  を畳み込み符号化した結果（即ち、出力データ  $y_2$ ）であり、これら 3 つの出力データからなる情報系列がターボ符号化データとなる。

【0041】

#### （4）ターボ復号アルゴリズム

図 4 を用いてターボ復号アルゴリズムについて説明する。

【0042】

図 4 は、ターボ復号アルゴリズムを実現するために必要な誤り訂正復号回路の一例を示すブロック図である。本回路 400 は、上述の軟出力復号アルゴリズム等を用いて入力データを軟出力復号する軟出力復号回路 401、403、ランダム或いは所定の規則に基づき軟出力復号回路 401 の出力を並べ替えるインターリーブするインターリーバ 402、インターリーバ 402 に対応するデインターリーバ 404、アナログ／デジタル変換回路（A/D 変換回路）405 により構成される。

【0043】

ここで、軟出力復号回路 401、403 は、アナログ値或いは三値以上に量子化されたデジタル値を入力データとしてメトリック演算を行い、復号ビット毎に、そのビットが「1」（或いは「0」）である確からしさを示す値（尤度）を求め、その尤度を含んだ復号結果を出力する。

【0044】

図 4 において、受信或いは記録媒体から読み出されたターボ符号化データ（即ち、入力系列  $X$ 、 $Y_1$ 、 $Y_2$ ）は、ターボ復号回路 400 に入力される。ここで、入力系列  $X$ 、 $Y_1$ 、 $Y_2$  は、それぞれ図 3 に示す出力系列  $x$ 、 $y_1$ 、 $y_2$  に対応する。

【0045】

入力系列  $X$ 、 $Y_1$  は、軟出力復号回路 401 に供給され、復号される。インターリーバ 402 は、軟出力復号回路 401 の復号結果をインターリーブし、その

結果を軟出力復号回路 403 に供給する。軟出力復号回路 403 は、インターリーバ 402 の出力と入力系列 Y2 とを用いて軟出力復号を行い、その復号結果をデインターリーバし、その結果を軟出力復号回路 401 に供給する。

#### 【0046】

ターボ復号回路 400 は、以上の処理を所定回数繰り返した後、デインターリーバ 404 の出力を A/D 変換回路 405 に供給する。A/D 変換回路 405 は、入力情報を二値化し、その結果を入力系列 X、Y1、Y2（即ち、ターボ符号化データ）の復号結果として出力する。

#### 【0047】

次に、上述の畳み込み符号化アルゴリズムとターボ符号化アルゴリズムの双方を実現する誤り訂正符号化回路について説明する。

#### 【0048】

図 5 は、本実施例の誤り訂正符号化回路の一例を示すブロック図である。

#### 【0049】

誤り訂正符号化回路 500 は、インターリーバ 501、畳み込み符号化回路 502、503、選択信号により制御されるスイッチ 504、505、デジタル情報を入力する入力端子 506、本回路 500 の動作を制御する選択信号を入力する入力端子 507 により構成される。ここで、又、畳み込み符号化回路 502、503 は、再帰型畳み込み符号化アルゴリズムを実現する回路であり、例えば図 1（b）に示す再帰型畳み込み符号化回路 110 と同様に構成されている。

#### 【0050】

選択信号がアクティブの場合、スイッチ 504、505 がオンとなり、誤り訂正符号化回路 500 は、上述のターボ符号化アルゴリズムを実現する誤り訂正符号化回路として動作する。具体的に、誤り訂正符号化回路 500 は、図 3 に示すターボ符号化回路 300 と同様の処理を行う。その結果、誤り訂正符号化回路 500 は、3 つの出力データ x、y1、y2 により接続されるターボ符号化データを出力する。

#### 【0051】

ここで、出力データ x は入力データ x であり、出力データ y1 は畳み込み符号

化回路 5 0 2 が入力データ x を畳み込み符号化した結果であり、出力データ y 2 は畳み込み符号化回路 5 0 3 がインタリーブされた入力データ x を畳み込み符号化した結果である。

【 0 0 5 2 】

又、選択信号が非アクティブの場合、スイッチ 5 0 4, 5 0 5 がオフとなり、誤り訂正符号化回路 5 0 0 は、上述の再帰型畳み込み符号化アルゴリズムを実現する誤り訂正符号化回路として動作する。これにより、誤り訂正符号化回路 5 0 0 は、畳み込み符号化データである出力データ y 1 のみを出力する。

【 0 0 5 3 】

ここで、誤り訂正符号化回路 5 0 0 は、スイッチ 5 0 4, 5 0 5 をオフにするだけでなく、畳み込み符号化回路 5 0 3 に供給する電力を遮断或いは大幅に削減してもよい。これにより、回路規模の簡素のみならず、消費電力も削減することができ、上述の誤り訂正復号回路 5 0 0 を携帯電話等の携帯型電子機器に適用する場合においてより高い効果を挙げることができる。

【 0 0 5 4 】

又、スイッチ 5 0 5 は、インタリーバ 5 0 1 の後段ではなく、前段に接続してもよい。この場合、インタリーバ 5 0 1 に供給される電力も遮断或いは削減することができるため、消費電力を更に削減することができる。

【 0 0 5 5 】

図 6 は、本実施例の誤り訂正符号化回路の他の一例を示すブロック図である。図 6 に示す誤り訂正符号化回路 6 0 0 においても、上述の畳み込み符号化アルゴリズムとターボ符号化アルゴリズムの双方を実現することができる。尚、図 6 において、図 5 と同様の構成要素については同一の符号を付す。

【 0 0 5 6 】

本回路 6 0 0 は、インターリーバ 5 0 1、畳み込み符号化回路 5 0 2, 5 0 3、選択回路 6 0 1 により構成される。ここで、選択回路 6 0 1 は、選択信号に応じて、データ x、畳み込み符号化回路 5 0 2 にて生成されるデータ y 1、畳み込み符号化回路 5 0 3 にて生成されるデータ y 2 の中から必要なデータを選択的に出力する。

## 【 0 0 5 7 】

選択信号がアクティブの場合、誤り訂正符号化回路 6 0 0 は、上述のターボ符号化アルゴリズムを実現する誤り訂正符号化回路として動作する。具体的に、選択回路 6 0 1 は、3つのデータ  $x$ 、 $y_1$ 、 $y_2$  の全てを選択し、出力する。これにより、誤り訂正符号化回路 6 0 0 は、3つのデータ  $x$ 、 $y_1$ 、 $y_2$  からなるターボ符号化データを出力する。

## 【 0 0 5 8 】

又、選択信号が非アクティブの場合、誤り訂正符号化回路 6 0 0 は、上述の上述の畳み込み符号化アルゴリズムを実現する誤り訂正符号化回路として動作する。具体的に、選択回路 6 0 1 は、データ系列  $y_1$  のみを選択し、出力する。これにより、誤り訂正符号化回路 6 0 0 は、畳み込み符号化データであるデータ  $y_1$  のみを出力する。

## 【 0 0 5 9 】

以上のように第 1 の実施例では、畳み込み符号化アルゴリズムを実現する符号化回路とターボ符号化アルゴリズムを実現する符号化回路とにおいて回路の一部を共用するため、複数種類の誤り訂正符号化アルゴリズムを 1 つの符号化回路にて実現することができる。これにより、複数種類の誤り訂正符号化アルゴリズムを簡単且つ効率的な回路構成で実現することができ、回路規模の増大とコストの増加を抑えることができる。

## 【 0 0 6 0 】

尚、第 1 の実施例では、誤り訂正符号化回路 5 0 0 或いは誤り訂正符号化回路 6 0 0 が、畳み込み符号化回路として動作する場合には情報系列  $y_1$  のみを出力し、ターボ符号化回路として動作する場合には情報系列  $x$ 、 $y_1$ 、 $y_2$  を出力するように構成したがそれに限るものではなく、他の組合せでもよい。

## 【 0 0 6 1 】

例えば、畳み込み符号化回路として動作する場合に、情報系列  $y_2$  のみを出力するように構成してもよい。この場合、誤り訂正符号化回路 5 0 0、6 0 0 は、インタリーバ 5 0 1 を所定の規則で動作させ、入力データ  $x$  を並び替え、その後畳み込み符号化する構成となる。このような構成とすることで、符号化データの

バースト誤りに対する誤り耐性を強化することもできる。

#### 【0062】

このように、誤り訂正符号化回路500、600は、畳み込み符号化アルゴリズムとターボ符号化アルゴリズムの双方を、インターリーバ501、畳み込み符号化回路503を共用して実現することもできる。

#### 【0063】

##### (第2の実施例)

次に、第1の実施例にて説明した誤り訂正符号化回路500、600に対応する復号回路の構成と処理動作とについて説明する。

#### 【0064】

図7は、本実施例の誤り訂正復号回路の一例を示すブロック図である。

#### 【0065】

本回路700は、軟出力復号回路701、703、ランダム或いは所定の規則に基づき軟出力復号回路701の出力を並べ替えるインターリーバ702、インターリーバ702に対応するデインターリーバ704、アナログ／デジタル（A/D）変換回路705、選択信号による制御を受けて選択信号がアクティブの時にオンとなるスイッチ706、708、選択信号による制御を受けて選択信号がアクティブとなる場合にはB側に接続し、非アクティブとなる場合にはA側に接続するスイッチ707、本回路700の動作を制御する選択信号を入力する入力端子710、データXを入力する入力端子711、データY1を入力する入力端子712、データY2を入力する入力端子713により構成される。

#### 【0066】

ここで、軟出力復号回路701、703は、上述の軟出力復号回路401、403と同様に、入力情報に対してメトリック演算を行い、ビット毎に、そのビットが「1」（或いは「0」）である確からしさを示す値（尤度）を求め、その尤度を復号結果と共に出力する。

#### 【0067】

選択信号がアクティブの場合、誤り訂正復号回路700は例えば図4のターボ復号回路400と同様の処理を行なう。以下、誤り訂正復号回路700の処理動

作を具体的に説明する。

【0068】

図7において、受信或いは記録媒体から読み出されたターボ符号化データ（即ち、入力データX、Y1、Y2）は、誤り訂正復号回路700に入力される。ここで、入力データX、Y1、Y2は、それぞれ図5又は6に示す出力データx、y1、y2に対応する。

【0069】

入力データX、Y1は、軟出力復号回路701に供給され、復号される。インターリーブ702は、軟出力復号回路701の復号結果とビット毎の尤度とをインターリーブし、その結果を軟出力復号回路703に供給する。軟出力復号回路703は、インターリーブ702の出力と入力データY2とを用いて軟出力復号を行う。その復号結果と尤度とは、デインターリーブ704に供給され、デインターリーブされる。デインターリーブ704の出力は、スイッチ708を介して、軟出力復号回路701に供給される。

【0070】

誤り訂正復号回路700は、以上の処理を所定回数繰り返した後、デインターリーブ704の出力をスイッチ707を介してA/D変換回路705に供給する。A/D変換回路705は、入力情報を二値化し、その結果を入力データX、Y1、Y2（即ち、ターボ符号化データ）の復号結果として出力する。

【0071】

又、選択信号が非アクティブの場合、誤り訂正復号回路700は、例えば図2の軟出力復号回路200と同様の処理を行なう。

【0072】

この場合、スイッチ706、709はオフとなり、誤り訂正復号回路700には、入力データY1のみが入力される。軟出力復号回路701は、入力データY1に対して軟出力復号を行い、その復号結果をスイッチ707に供給する。ここで、スイッチ707はA側に接続されており、軟出力復号回路701の出力は、A/D変換回路705に入力される。A/D変換回路705は、入力情報を二値化し、その結果を入力データY1の復号結果として出力する。

## 【0073】

ここで、誤り訂正復号回路700は、図7に示す構成に限るものではない。例えば、スイッチ706、708、709をオフにするだけでなく、インタリーバ702、軟出力復号回路703、デインタリーバ704に供給する電力を遮断或いは大幅に削減してもよい。これにより、回路規模の簡素のみならず、消費電力も削減することができ、上述の誤り訂正復号回路700を携帯電話等の携帯型電子機器に適用する場合においてより高い効果を挙げることができる。

## 【0074】

以上のように第2の実施例では、軟出力復号アルゴリズムを実現する復号回路とターボ復号アルゴリズムを実現する復号回路とにおいて回路の一部を共用するため、複数種類の誤り訂正復号アルゴリズムを1つの復号回路にて実現することができる。これにより、複数種類の誤り訂正復号アルゴリズムを簡単且つ効率的な回路構成で実現することができ、回路規模の増大とコストの増加を抑えることができる。

## 【0075】

尚、第2の実施例では、誤り訂正復号回路700が軟出力復号回路として動作する場合には、入力データY1のみを復号し、ターボ復号回路として動作する場合には、入力データX、Y1、Y2を復号するように構成したがそれに限るものではなく、他の組合せでもよい。

## 【0076】

例えば、軟出力復号回路として動作する場合に、入力データY2のみを復号するように構成してもよい。この場合、誤り訂正復号回路700は、入力データY2を軟出力復号回路703を用いて復号し、その復号結果をデインタリーバ704を用いて元の順序に並び替え、デインタリーバ704の出力から復号結果を生成する。これにより、インタリーブ後に畳み込み符号化されたデータを復号することもできる。

## 【0077】

このように、誤り訂正復号回路700は、軟出力復号アルゴリズムとターボ復号アルゴリズムの双方を、軟出力復号回路703とデインタリーバ704とを共

用して実現することもできる。

【0078】

(第3の実施例)

第1の実施例では、図5に示す誤り訂正符号化回路500を用いて、畳み込み符号化アルゴリズムとターボ符号化アルゴリズムの双方を実現する誤り訂正符号化回路の一例について説明した。

【0079】

これに対して第3の実施例では、畳み込み符号化アルゴリズムにおける誤り訂正能力をより一層向上させると共に、畳み込み符号化アルゴリズムの誤り訂正能力を選択的に切り換えることのできる誤り訂正符号化回路について説明する。

【0080】

以下、図5の誤り訂正符号化回路500を用いて第3の実施例を説明する。

【0081】

図5において、誤り訂正符号化回路500がターボ符号化アルゴリズムを実現する回路として動作する場合、該回路500は、スイッチ504、505の双方をオンとする。その結果、誤り訂正符号化回路500は、第1の実施例と同様に、3つの出力データx、y1、y2をターボ符号化データとして出力する。

【0082】

又、誤り訂正符号化回路500が畳み込み符号化アルゴリズムを実現する回路として動作する場合、該回路500は選択信号に応じて、スイッチ504、505の双方或いはスイッチ505のみをオフとする。

【0083】

スイッチ504、505の双方がオフとなる場合、誤り訂正符号化回路500は、第1の実施例と同様に、データxのみを符号化データとして出力する。

【0084】

これに対して、スイッチ505のみがオフとなる場合、誤り訂正符号化回路500は、2つの出力系列x、y1からなる符号化データとして出力する。これにより、符号長は長くなるが、誤り訂正能力の高い符号化データを出力することができる。

## 【0085】

スイッチ504、505の制御は、選択信号により行われる。選択信号は、伝送路の状況や、送信したいデータの誤り特性や品質等に応じてスイッチ504、505のオン／オフを適応的に制御する。

## 【0086】

このように構成することにより第3の実施例では、1つの符号化回路で畳み込み符号化アルゴリズムとターボ符号化アルゴリズムの双方を実現できると共に、畳み込み符号化アルゴリズムにおける誤り訂正能力を必要に応じて選択的に切り換えることもできる。これにより、複数種類の誤り訂正符号化アルゴリズムを簡単且つ効率的な回路構成で実現することができると共に、回路規模の増大とコストの増加を抑えながら所定の誤り訂正符号化アルゴリズムの誤り訂正能力を必要に応じて選択的に切り換えることもできる。

## 【0087】

尚、第3の実施例では、第1の実施例と同様に、インタリーバ501、畳み込み符号化回路503を共用して複数種類の誤り訂正符号化アルゴリズムを実現することもできる。この場合、誤り訂正符号化回路500は、データxのみからなる符号化データを出力するか、データx、y2からなる符号化データを出力するかを選択することによって、畳み込み符号化アルゴリズムの誤り訂正能力を選択的に切り換えることができる。

## 【0088】

## (第4の実施例)

第2の実施例では、図7に示す誤り訂正復号回路700を用いて、軟出力復号アルゴリズムとターボ復号アルゴリズムの双方を実現する誤り訂正復号回路の一例について説明した。

## 【0089】

これに対して第4の実施例では、軟出力復号アルゴリズムにおける誤り訂正能力をより一層向上させると共に、軟出力復号アルゴリズムの誤り訂正能力を選択的に切り換えることのできる誤り訂正復号回路について説明する。

## 【0090】

以下、図7の誤り訂正復号回路700を用いて第4の実施例を説明する。尚、第4の実施例の誤り訂正復号回路は、第3の実施例の誤り訂正符号化回路に対応する復号回路である。

## 【0091】

図7において、誤り訂正復号回路700がターボ復号アルゴリズムを実現する回路として動作する場合、該回路700は、スイッチ706、708の双方をオンとする。その結果、誤り訂正復号回路700は、第2の実施例と同様に、3つの入力データX、Y1、Y2を復号する。

## 【0092】

又、誤り訂正復号回路700が軟出力復号アルゴリズムを実現する回路として動作する場合、該回路700は選択信号に応じて、スイッチ706、708の双方或いはスイッチ708のみをオフとする。

## 【0093】

スイッチ706、708の双方がオフとなる場合、誤り訂正復号回路700は、第2の実施例と同様に、入力データY1のみを復号する。

## 【0094】

これに対して、スイッチ708のみがオフとなる場合、誤り訂正復号回路700は、2つの入力データX、Y1を復号する。これにより、誤り訂正能力の高い復号処理を実行することができる。

## 【0095】

スイッチ706、708の制御は、選択信号により行われる。選択信号は、伝送路の状況や、受信したデータの誤り訂正符号化方式等に応じてスイッチ706、708のオン／オフを適応的に制御する。

## 【0096】

このように構成することにより第4の実施例では、1つの復号回路で軟出力復号アルゴリズムとターボ復号アルゴリズムの双方を実現できると共に、軟出力復号アルゴリズムにおける誤り訂正能力を必要に応じて選択的に切り換えることもできる。これにより、複数種類の誤り訂正復号アルゴリズムを簡単且つ効率的な

回路構成で実現することができると共に、回路規模の増大とコストの増加を抑えながら所定の誤り訂正復号アルゴリズムの誤り訂正能力を必要に応じて選択的に切り換えることもできる。

## 【0097】

(第5の実施例)

図8は、第5の実施例の誤り訂正符号化回路の一例を示すブロック図である。

## 【0098】

誤り訂正符号化回路800は、インターリーバ801、選択信号により処理動作を制御する符号化回路802、符号化回路803、選択信号によりオン/オフを制御するスイッチ804、805、ディジタル情報を入力する入力端子806、本回路800の動作を制御する選択信号を入力する入力端子807により構成される。

## 【0099】

ここで、スイッチ804、805は、選択信号がアクティブの場合にオンとなる。又、符号化回路803は、上述の再帰的な畳み込み符号化アルゴリズムを実現する符号化回路として動作する。

## 【0100】

次に、符号化回路802の一例を示すブロック図を図9に示す。

## 【0101】

図9において、符号化回路802は、外部より入力される選択信号によりその動作を制御する。具体的には、有効とする遅延回路の数、遅延回路と加算回路との結線、再帰処理の有無等を決定し、誤り訂正能力の異なる複数の誤り訂正符号化アルゴリズムを実現する。

## 【0102】

符号化回路802は、二つの入力の何れか一方を選択するスイッチ901、遅延回路902、903、904、mod 2の加算回路905、906、907、NOT素子908、AND素子909、2つの入力C、Dの何れか一方を出力する出力制御回路910から構成される。

## 【0103】

選択信号がアクティブとなる場合、スイッチ901は図中A側の端子に接続され、符号化回路802は、上述の再帰的な畳み込み符号化アルゴリズムを実現する回路として動作する。具体的に、符号化回路802は、拘束長3、符号化率 $1/1$ となる再帰型畳み込み符号化回路として動作する。

## 【0104】

この場合、AND素子909には、NOT素子908で反転された選択信号が入力されるため、AND素子909の出力は常に「0」となる。又、出力制御回路910は、加算回路906の出力Cのみを選択し、これを出力系列y1として出力する。

## 【0105】

加算回路905には、入力系列xと遅延回路903とが入力され、その演算結果は、スイッチ901に供給される。又、加算回路906には、加算回路905の出力、遅延回路902の出力、遅延回路903の出力が夫々入力され、その演算結果（即ち、出力信号C）は出力制御回路910に供給される。

## 【0106】

以上説明したように、選択信号がアクティブとなる場合、符号化回路802は、上述の再帰型畳み込み符号化回路と同様の処理を行なうこととなり、符号化回路803と同様の動作を行なうこととなる。その結果、誤り訂正符号化回路900は、例えば図3に示すターボ符号化回路300と同様の構成となり、上述のターボ符号化アルゴリズムを実現する。

## 【0107】

又、選択信号が非アクティブとなる場合、スイッチ901は図中B側の端子に接続され、符号化回路802は、上述の非再帰的な畳み込み符号化アルゴリズムを実現する回路として動作する。具体的に、符号化回路802は、拘束長4、符号化率 $1/2$ となる非再帰的な畳み込み符号化回路として動作する。

## 【0108】

この場合、AND素子909は、遅延回路903の出力をそのまま遅延回路904に供給する。又、出力制御回路910は、加算回路906の出力Cと、加算

回路 907 の出力 D とを選択し、双方を出力系列 y1 として出力する。

#### 【0109】

加算回路 906 には、入力系列 x、遅延回路 902 の出力、遅延回路 903 の出力が夫々入力され、その演算結果（即ち、出力信号 C）は出力制御回路 910 に供給される。又、加算回路 907 には、入力系列 x、遅延回路 902 の出力、遅延回路 904 の出力が夫々入力され、その演算結果（即ち、出力信号 D）は出力制御回路 910 に供給される。

#### 【0110】

以上説明したように、選択信号が非アクティブとなる場合、符号化回路 802 は、上述の畳み込み符号化回路と同様の処理を行なう。その結果、誤り訂正符号化回路 800 は、上述の非再帰的な畳み込み符号化アルゴリズムを実現する回路として動作する。

#### 【0111】

第 5 の実施例では選択信号を制御することにより、符号化回路 802 が非再帰的な畳み込み符号化回路として動作する場合の遅延回路の数、拘束長を、符号化回路 802 が再帰型畳み込み符号化回路として動作する場合に比べて多くなるように構成した。このように構成することにより、誤り訂正符号化回路 800 は、誤り訂正能力や演算量を、各誤り訂正符号化アルゴリズムにおいて最適にすることができる。

#### 【0112】

尚、図 9 に示す符号化回路 802 は一例であって、それに限るものではない。例えば、選択信号の変化に伴なって変化する遅延回路の数を、更に多くすることも可能である。又、第 2 の選択信号を用いることによって、選択信号が非アクティブ状態であっても、伝送路の状況や、装置の負荷等に応じて遅延回路の数を選択的に変化させるように構成してもよい。

#### 【0113】

以上のように第 5 の実施例では、ターボ符号化アルゴリズムを実現するために必要な符号化回路の 1 つを用いて、非再帰的な畳み込み符号化アルゴリズムを実現することができる。

## 【0114】

又、誤り訂正能力と演算量とに影響を与える遅延回路の数を、ターボ符号化アルゴリズムと非再帰的な畳み込み符号化アルゴリズムとにおいて切り換えることもでき、夫々のアルゴリズムにおける誤り訂正能力や演算量を最適に調整することもできる。

## 【0115】

## (第6の実施例)

第5の実施例では、2つの符号化回路802、803の内の一つを共用して複数種類の誤り訂正符号化アルゴリズムを実現する誤り訂正符号化回路について説明した。

## 【0116】

これに対して、第6の実施例では、符号化回路802、803を一体化させた符号化回路を共用して、複数種類の誤り訂正符号化アルゴリズムを実現する例について説明する。

## 【0117】

図10は、第6の実施例の誤り訂正符号化回路の一例を示すブロック図である。尚、図10において、図8と同様の構成については同一の符号を付す。

## 【0118】

誤り訂正符号化回路1000は、インターリーバ801、選択信号により処理動作を制御する符号化回路801、選択信号によりオン／オフを制御するスイッチ804、805、デジタル情報を入力する入力端子806、本回路1000の動作を制御する選択信号を入力する入力端子807により構成される。ここで、スイッチ804、805は、選択信号がアクティブの場合にオンとなる。

## 【0119】

次に、符号化回路1001の一例を示すブロック図を図11に示す。

## 【0120】

図11において、符号化回路1001は、外部より入力される選択信号によりその動作を制御する。具体的には、有効とする遅延回路の数、遅延回路と加算回路との結線、再帰処理の有無等を決定し、誤り訂正能力の異なる複数の誤り訂正

符号化アルゴリズムを実現する。

#### 【0121】

符号化回路1001は、遅延回路1101, 1102, 1103, 1104、mod 2の加算回路1105, 1106, 1107, 1108、NOT素子1109、AND素子1110, 1111, 1112, 1113、出力制御回路1114から構成される。

#### 【0122】

選択信号がアクティブとなる場合、符号化回路1001は、上述の再帰的な畳み込み符号化アルゴリズムを実現する2つの符号化回路として動作する。具体的に、図11に示す構成1115が第1の再帰型畳み込み符号化回路として動作し、構成1116が第2の再帰型畳み込み符号化回路として動作する。

#### 【0123】

この場合、AND回路1110, 1111の夫々は、遅延回路1102, 1104の出力をそのまま出力する。又、AND回路1112は常に「0」を出力し、AND回路1113は、インターリーバ1001から供給されるデータx'をそのまま出力する。その結果、構成1115は、データxを再帰的な畳み込み符号化アルゴリズムで符号化することとなり、構成1116は、データx'を再帰的な畳み込み符号化アルゴリズムで符号化することとなる。

#### 【0124】

出力制御回路1114は、加算回路1107の出力Aを出力データy1として出力し、加算回路1108の出力Bを出力データy2として出力する。

#### 【0125】

このように選択信号がアクティブとなる場合、符号化回路1001は2つの再帰型畳み込み符号化回路として動作するため、誤り訂正符号化回路1000は図3に示すようなターボ符号化回路として動作することができる。尚、符号化回路1001内に形成される第1、第2の再帰型畳み込み符号化回路は、夫々遅延回路の数が等しく、拘束長、符号化率ともに同一となる符号化回路である。

#### 【0126】

又、選択信号が非アクティブとなる場合、符号化回路1001は、上述の非再

帰的な畳み込み符号化アルゴリズムを実現する 1 つの符号化回路として動作する

#### 【0127】

この場合、AND回路 1110、1111は常に「0」を出力する。また、AND回路 1112は遅延回路 1102の出力をそのまま出力し、AND回路 1113は常に「0」を出力する。この結果、遅延回路 1103には、遅延回路 1102の出力がそのまま入力される。

#### 【0128】

加算回路 1107には、入力系列 x、遅延回路 1101の出力、遅延回路 1102の出力が入力され、その演算結果（即ち、出力信号 A）は出力制御回路 1114に供給される。又、加算回路 1108には、遅延回路 1102の出力、遅延回路 1103の出力、遅延回路 1104の出力が入力され、その演算結果（即ち、出力信号 B）は出力制御回路 1114に供給される。

#### 【0129】

出力制御回路 1114は、加算回路 1107の出力 A と加算回路 1108の出力 B との和を出力データ y1として出力する。即ち、出力制御回路 1114は、入力データ x、遅延回路 1101、1103、1104の出力の和を出力することになる。

#### 【0130】

このように選択信号が非アクティブとなる場合、符号化回路 1001は 1 つの非再帰的な畳み込み符号化回路として動作することができる。尚、符号化回路 1001内に形成される 1 つの非再帰的な畳み込み符号化回路の遅延回路の数と拘束長とは、上述の第 1、第 2 の再帰型畳み込み符号化回路に比べて大きくなる。

#### 【0131】

以上のように、第 6 の実施例では選択信号を制御することにより、符号化回路 1001が 1 つの非再帰型畳み込み符号化回路として動作する場合の遅延回路の数、拘束長を、符号化回路 1002が 2 つの再帰型畳み込み符号化回路として動作する場合に比べて大きくなるように構成した。このように構成することにより、誤り訂正符号化回路 1000は、誤り訂正能力や演算量を、各誤り訂正符号化

アルゴリズムにおいて最適にすることができる。

#### 【0132】

尚、図11に示す符号化回路1001は一例であって、それに限るものではない。例えば、選択信号の変化に伴って変化する遅延回路の数を、更に多くすることも可能である。又、第2の選択信号を用いることによって、選択信号が非アクティブ状態であっても、伝送路の状況や、装置の負荷等に応じて遅延回路の数を選択的に変化させるように構成してもよい。

#### 【0133】

以上のように第6の実施例では、ターボ符号化アルゴリズムを実現するために必要な2つの符号化回路を1つの符号化回路で実現することができると共に、該回路を用いて非再帰的な畳み込み符号化アルゴリズムを実行することもできる。

#### 【0134】

又、誤り訂正能力と演算量とに影響を与える遅延回路の数を、ターボ符号化アルゴリズムと非再帰的な畳み込み符号化アルゴリズムとにおいて切り換えることもでき、夫々のアルゴリズムで最適となる誤り訂正能力や演算量を設定することもできる。

#### 【0135】

##### (第7の実施例)

図12は、本実施例の誤り訂正復号回路の他の例を示すブロック図である。

#### 【0136】

誤り訂正復号回路1200は、選択信号により処理動作を制御する軟出力復号回路1201、インターリーバ1202、軟出力復号回路1203、インターリーバ1202に対応するデインターリーバ1204、アナログ／デジタル（A／D）変換回路1205、選択信号によりオン／オフを制御するスイッチ1206、1208、1209、選択信号がアクティブとなる場合にB側の端子と接続し、非アクティブとなる時にA側の端子と接続するスイッチ1207、本回路1200の動作を制御する選択信号を入力する入力端子1210、データXを入力する入力端子1211、データY1を入力する入力端子1212、データY2を入力する入力端子1213により構成される。

【0137】

ここで、入力データX, Y1, Y2は、それぞれ図8又は10に対応する出力データx, y1, y2である。

【0138】

選択信号がアクティブの場合、スイッチ1206, 1208, 1209はオンとなり、スイッチ1207はB側の端子に接続される。その結果、誤り訂正復号回路1200は、2つの軟出力復号回路1201, 1203を用いて入力データX, Y1, Y2を復号する復号回路として動作する。この場合、誤り訂正復号回路1200は、上述のターボ復号アルゴリズムを実現する回路として動作する。

【0139】

尚、選択信号がアクティブの場合、2つの軟出力復号回路1201, 1203は、夫々同様の軟出力復号アルゴリズムを実現する回路構成となる。

【0140】

又、選択信号が非アクティブの場合、スイッチ1206, 1208, 1209はオフとなり、スイッチ1207はA側の端子と接続される。その結果、誤り訂正復号回路1200は、軟出力復号回路1201のみを用いて入力データY1を復号する復号回路として動作する。この場合、誤り訂正復号回路1200は、上述の軟出力復号アルゴリズムを実現する回路として動作する。

【0141】

次に、軟出力復号回路1201の一例を示すブロック図を図13に示す。

【0142】

軟出力復号回路1201は、選択信号に応じて内部構成を変更する符号化回路1301、選択信号に応じて入力データX, Y1のブランチメトリック、又は入力データY1のブランチメトリックを求めるブランチメトリック演算回路1302、ACS回路1303、全てのパスのパスメトリックを格納するパスメトリックメモリ1304、ACS回路1303により選択された生き残りパスを示すパス選択情報を格納するパスメモリ1305、最尤パスと最尤パスに対抗する対抗パスとを比較して最尤パスの尤度情報を生成するトレースバック回路1306により構成される。

## 【0143】

ここで、符号化回路1301は、上述の誤り訂正符号化回路800又は1000に対応した構成であり、各回路800、1000が畳み込み符号化回路として動作する場合には、その回路の取り得る複数の状態を生成する構成となる。又、各回路800、1000がターボ符号化回路として動作する場合には、その回路の第1の畳み込み符号化回路の取り得る複数の状態を生成する構成となる。具体的に、符号化回路1301は、選択信号に応じて有効となる遅延回路の数、遅延回路と加算回路との結線、再帰の有無等を変更し、復号可能な誤り訂正符号化アルゴリズムを切り換える。

## 【0144】

選択信号がアクティブとなる場合、符号化回路1301は、入力データX、Y1のブランチメトリックを求めるために必要な符号ビットを生成する回路構成となり、ブランチメトリック演算回路1302は、入力データX、Y1と符号化回路1301の出力とを比較し、各ブランチのブランチメトリックを求める回路構成となる。ここで、入力データX、Y1は、上述の誤り訂正符号化回路800又は1000がターボ符号化アルゴリズムを実現する場合に生成した符号化データの一部である。

## 【0145】

又、選択信号が非アクティブとなる場合、符号化回路1301は、入力データY1のブランチメトリックを求めるために必要な符号ビットを生成する回路構成となり、ブランチメトリック演算回路1302は、入力データY1と符号化回路1301の出力とを比較し、各ブランチのブランチメトリックを求める回路構成となる。ここで、入力データY1は、上述の誤り訂正符号化回路800又は1000が非再帰的な畳み込み符号化アルゴリズムを実現する場合に生成した符号化データである。

## 【0146】

以上のように第7の実施例では、ターボ復号アルゴリズムを実現するために必要な軟出力復号回路の1つを用いて、非再帰的な畳み込み符号化アルゴリズムで符号化された符号化データを軟出力復号することができる。

## 【0147】

尚、図13の軟出力復号回路1201は一例であって、これに限るものではない。例えば、符号化回路1301を、符号化回路1301の入出力を対応付けた複数種類のテーブルにより実現することも可能である。この場合、軟出力復号回路1201は、複数種類のテーブルの中から所定のテーブルを選択することによって、復号可能な誤り訂正符号化アルゴリズムを切り換える構成となる。このような構成とすることにより、軟出力復号回路1201の構成をより一層簡略化することができる。

## 【0148】

## (第8の実施例)

図14は、上述の誤り訂正符号化回路500、600、800、1000の何れかを適用した電子機器の一例を示すブロック図である。ここで、電子機器1400は、例えば、携帯電話、無線通信可能なモバイルコンピュータ等の携帯型情報端末である。

## 【0149】

図14において、マイク1401は、外部の音声を入力し、所定の音声ファイルを生成する。撮像部1402は、被写体の光学像から所定の画像ファイルを生成する。又、外部入力端子1403は、外部装置から音声ファイル、テキストファイル、画像ファイル、各種のデータファイル等を入力する。

## 【0150】

データ処理部1404は、マイク1401、撮像部1402、外部入力端子1403から供給された音声ファイル、テキストファイル、画像ファイル、各種のデータファイル等を、所定の無線通信用のデータフォーマットに変換する。又、データ処理部1404は、各種のファイルを表示出力可能なデータフォーマットに変換する機能を有する。

## 【0151】

誤り訂正符号化部1405は、上述の誤り訂正符号化回路500、600、800、1000の何れかから構成される。誤り訂正符号化部1405は、上述の畳み込み符号化アルゴリズムとターボ符号化アルゴリズムとを選択的に用いて、

各種のファイルを誤り訂正符号化する。

【0152】

変調部1406は、誤り訂正符号化部1405の出力を、例えばCDMA (Code Division Multiple Access) 通信方式を用いてデジタル変調する。送信部1407は、変調部1406の出力を無線信号に変換し、その無線信号を所定の端末や基地局に対して送信する。

【0153】

制御部1408は、マイクロコンピュータを用いて、電子機器1400の各部の動作を制御する。ここで、制御部1408は、操作部1409からの指示に従って、上述の選択信号を誤り訂正符号化部1405に供給する。この選択信号により、誤り訂正符号化部1405は、畳み込み符号化アルゴリズム、ターボ符号化アルゴリズムの何れかを実現する処理部として機能する。

【0154】

操作部1409は、テンキー等からなり、使用する誤り訂正符号化アルゴリズム、送信先及び送信データを選択する。表示部1410は、液晶モニタ等からなり、各種のファイルのデータを表示する。記憶媒体1411は、制御部1408の読み出し可能な複数種類のプログラムを記憶する。

【0155】

このように、携帯電話や無線通信可能な携帯型情報端末に対して各実施例の誤り訂正符号化回路を採用することにより、複数種類の誤り訂正符号化アルゴリズムに対応する電子機器を小型に、且つ低コストに実現することができる。

【0156】

(第9の実施例)

図15は、上述の誤り訂正復号回路700、1200の何れかを適用した電子機器の一例を示すブロック図である。ここで、電子機器1500は、例えば、携帯電話、無線通信可能なモバイルコンピュータ等の携帯型情報端末である。

【0157】

受信部1501は、所定の端末や基地局から送信された無線信号を受信する。復調部1502は、受信部1501の出力を、例えばCDMA通信方式を用いて

復調する。

【0158】

誤り訂正復号部1503は、上述の誤り訂正復号回路700、1200の何れかから構成される。誤り訂正復号部1503は、軟出力復号アルゴリズムとターボ復号アルゴリズムとを選択的に用いて、各種のファイルを誤り訂正復号する。

【0159】

データ処理部1504は、誤り訂正復号されたデータを各種のファイルに変換する。各種のファイルは、操作部1510の指示に応じてスピーカ1505、表示部1506、外部出力端子1507、記録部1508に供給される。

【0160】

スピーカ1505は、音声ファイルをデコードして出力する。表示部1506は、テキストファイル、画像ファイル、各種のデータファイルをデコードして表示出力する。外部出力1507は、各種のファイルのうち、操作部1510で指示されたファイルを外部装置に供給する。記録部1508は、各種のファイルのうち、操作部1510で指示されたファイルを磁気ディスク、磁気テープ、半導体メモリ等の記録媒体に格納する。

【0161】

制御部1509は、マイクロコンピュータを用いて、電子機器1500の各部の動作を制御する。ここで、制御部1509は、操作部1510からの指示に従って、上述の選択信号を誤り訂正復号部1503に供給する。この選択信号により、誤り訂正復号部1503は、軟出力復号アルゴリズム、ターボ復号アルゴリズムの何れかを実現する処理部として機能する。

【0162】

操作部1510は、テンキー等からなり、使用する誤り訂正符号アルゴリズム、送信元及び受信データを選択する。記憶媒体1511は、制御部1509の読み出し可能な複数種類のプログラムを記憶する。

【0163】

このように、携帯電話や無線通信可能な携帯型情報端末に対して各実施例の誤り訂正復号回路を採用することにより、複数種類の誤り訂正復号アルゴリズムに

対応する電子機器を小型に、且つ低コストに実現することができる。

【0164】

(他の実施例)

前述の実施例は、以下のように実現することも可能である。

【0165】

例えば、第1～第7の実施例を実現するようにプログラムされたソフトウェアを記録した記録媒体を、第8、第9の実施例の電子機器の具備する制御部1408、1509に供給するように構成する。そして、この制御部1408、1509が記憶媒体1411、1511に記憶されたプログラムを読み出し、電子機器の動作を制御して前述の実施例を実現する。

【0166】

この場合、上述のターボ符号化アルゴリズムを実現するために必要な2つの誤り訂正符号化プログラムモジュールのうちの一つを、共通のプログラムモジュールとすることができる。これにより、プログラム全体のプログラム量を削減でき、開発工程を短縮することもできる。

【0167】

尚、ソフトウェアを供給するための記録媒体1411、1511としては、例えば、フロッピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

【0168】

又、前述のソフトウェアは、記録媒体1411、1511に予め記録したものでも、外部から供給された後、記録媒体1411、1511に記録したものでもよい。

【0169】

【発明の効果】

以上のように、本発明によれば、複数種類の誤り訂正符号化アルゴリズム或いは復号アルゴリズムを、回路規模を増大させることなく、簡単且つ低コストな回路構成で実現することができる。

## 【0170】

又、本発明によれば、1つの符号化回路で畳み込み符号化アルゴリズムとターボ符号化アルゴリズムの双方を実現できると共に、畳み込み符号化アルゴリズムにおける誤り訂正能力を必要に応じて選択的に切り換えることもできる。又、1つの復号回路で軟出力復号アルゴリズムとターボ復号アルゴリズムの双方を実現できると共に、軟出力復号アルゴリズムにおける誤り訂正能力を必要に応じて選択的に切り換えることもできる。

## 【0171】

又、本発明によれば、誤り訂正能力と演算量とに影響を与える遅延回路の数を、ターボ符号化アルゴリズムと非再帰的な畳み込み符号化アルゴリズムとにおいて切り換えることもでき、夫々のアルゴリズムで最適となる誤り訂正能力や演算量を設定することもできる。

## 【0172】

又、本発明によれば、複数種類の誤り訂正符号化アルゴリズムに対応する携帯電話や無線通信可能な携帯型情報端末等の電子機器を小型に、且つ低コストに実現することができる。又、複数種類の誤り訂正復号アルゴリズムに対応する携帯電話や無線通信可能な携帯型情報端末等の電子機器を小型に、且つ低コストに実現することができる。

## 【図面の簡単な説明】

## 【図1】

畳み込み符号化アルゴリズムを実現する回路の一例を示すブロック図。

## 【図2】

軟出力復号アルゴリズムを実現する回路の一例を示すブロック図。

## 【図3】

ターボ符号化アルゴリズムを実現する回路の一例を示すブロック図。

## 【図4】

ターボ復号アルゴリズムを実現する回路の一例を示すブロック図。

## 【図5】

第1の実施例における誤り訂正符号化回路の一例を示すブロック図。

【図 6】

第 1 の実施例における誤り訂正符号化回路の他の例を示すブロック図。

【図 7】

第 2 の実施例における誤り訂正復号回路の構成の一例を示すブロック図。

【図 8】

第 5 の実施例における誤り訂正符号化回路の一例を示すブロック図。

【図 9】

図 8 の符号化回路 8 0 2 の一例を示すブロック図。

【図 1 0】

第 6 の実施例における誤り訂正符号化回路の一例を示すブロック図。

【図 1 1】

図 1 0 の符号化回路 1 0 0 1 の一例を示すブロック図。

【図 1 2】

第 7 の実施例における誤り訂正復号回路の一例を示すブロック図。

【図 1 3】

図 1 2 の軟出力復号回路 1 2 0 1 の一例を示すブロック図。

【図 1 4】

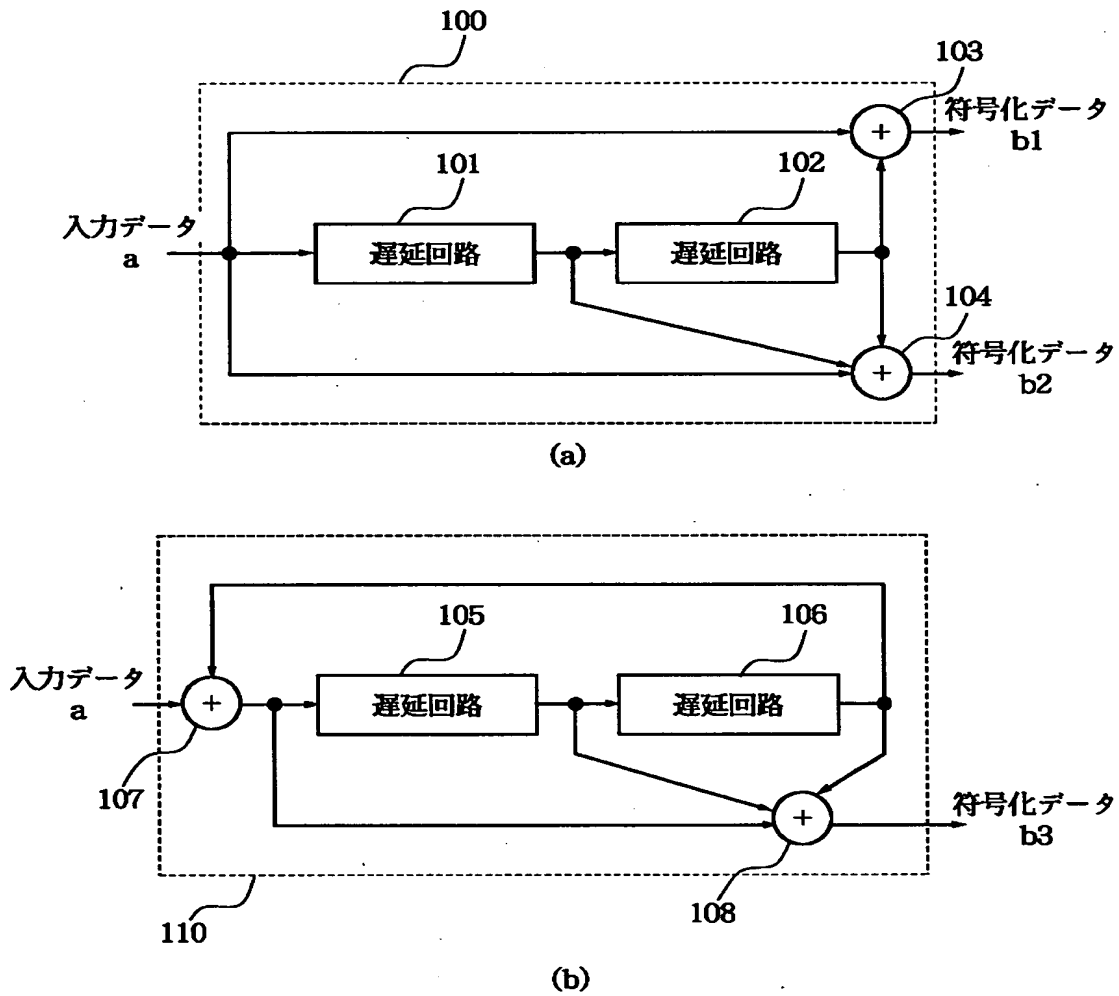
本実施例の誤り訂正符号化回路を適用した電子機器の一例を示すブロック図。

【図 1 5】

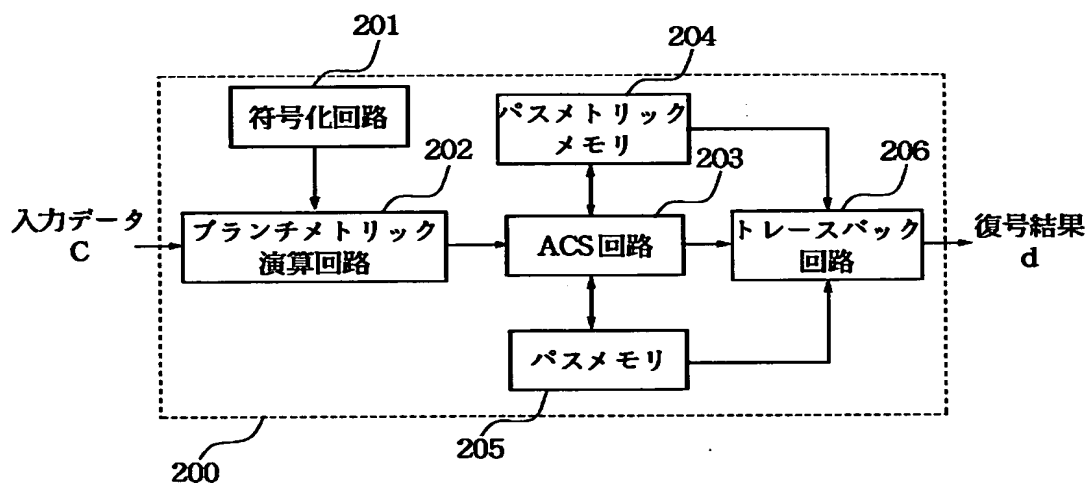
本実施例の誤り訂正復号回路を適用した電子機器の一例を示すブロック図。

【書類名】 図面

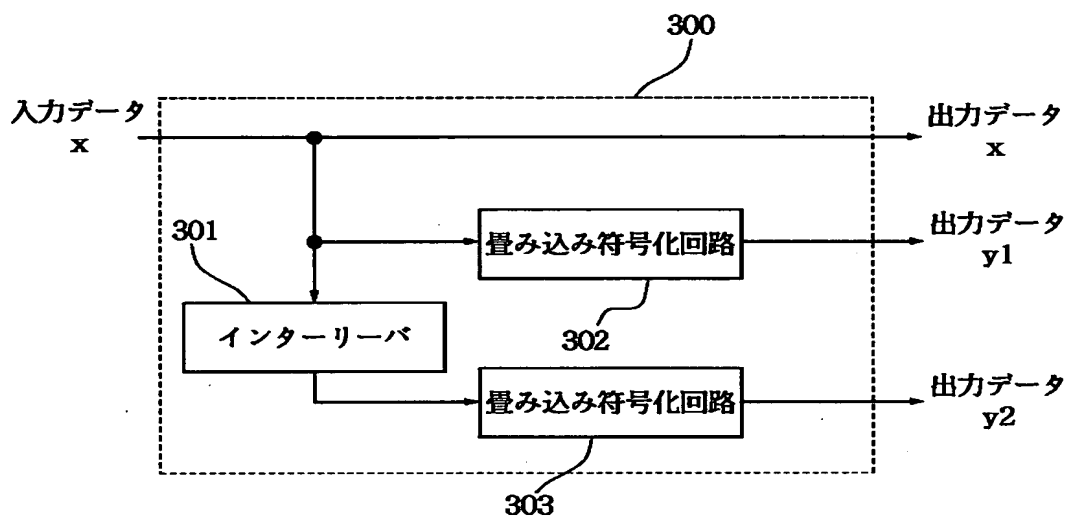
【図 1】



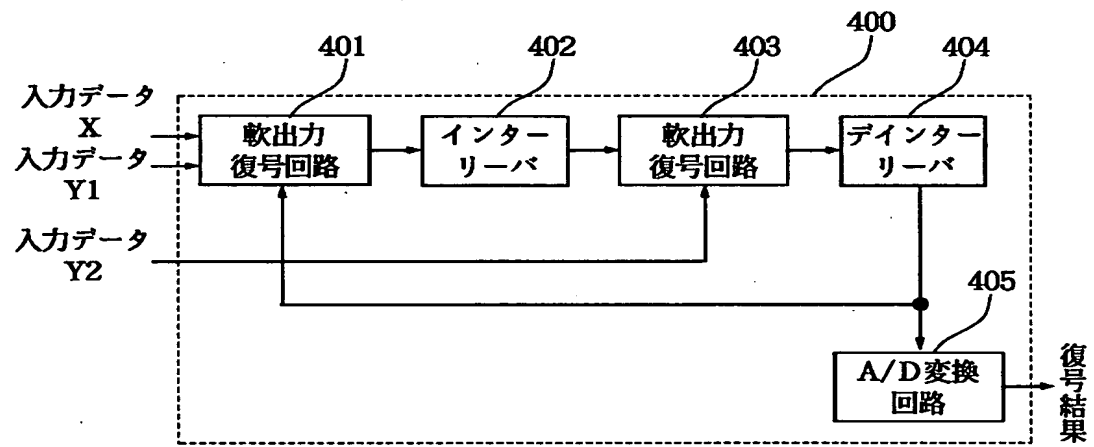
【図 2】



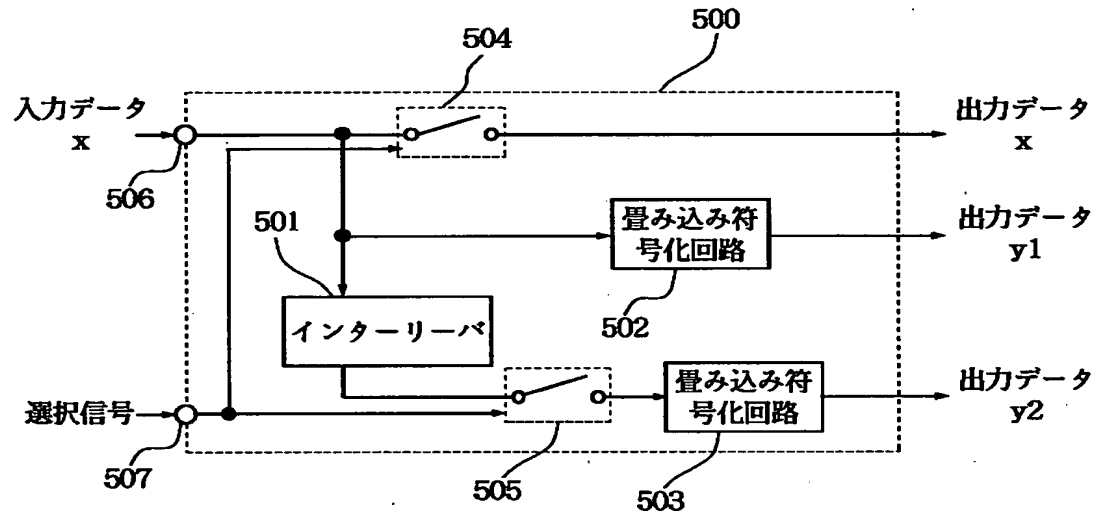
【図 3】



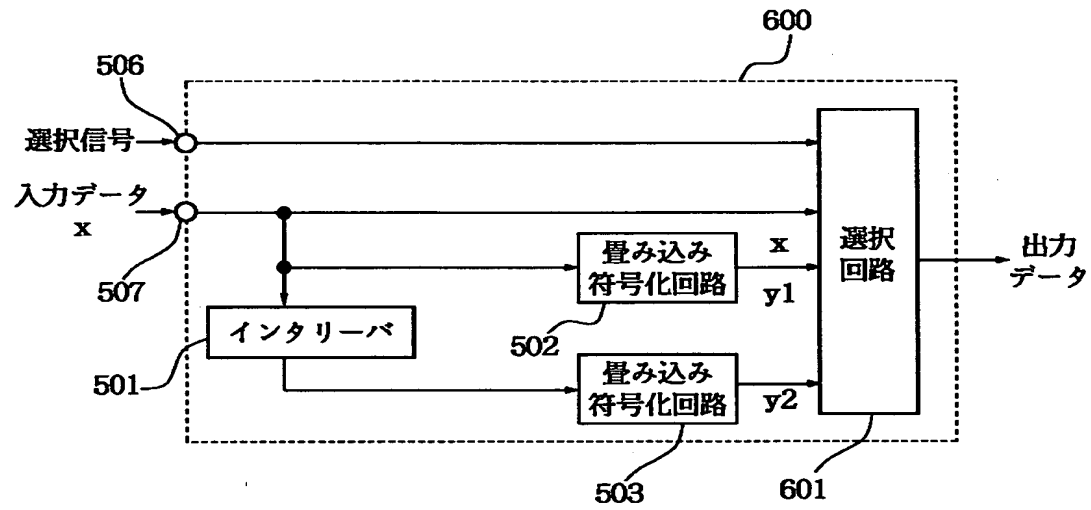
【図 4】



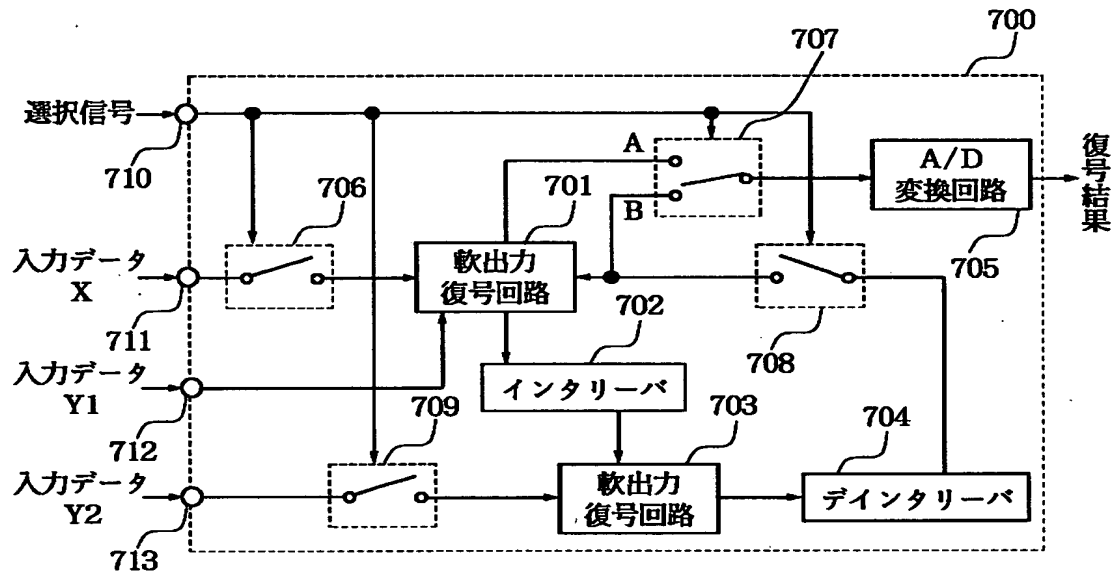
【図 5】



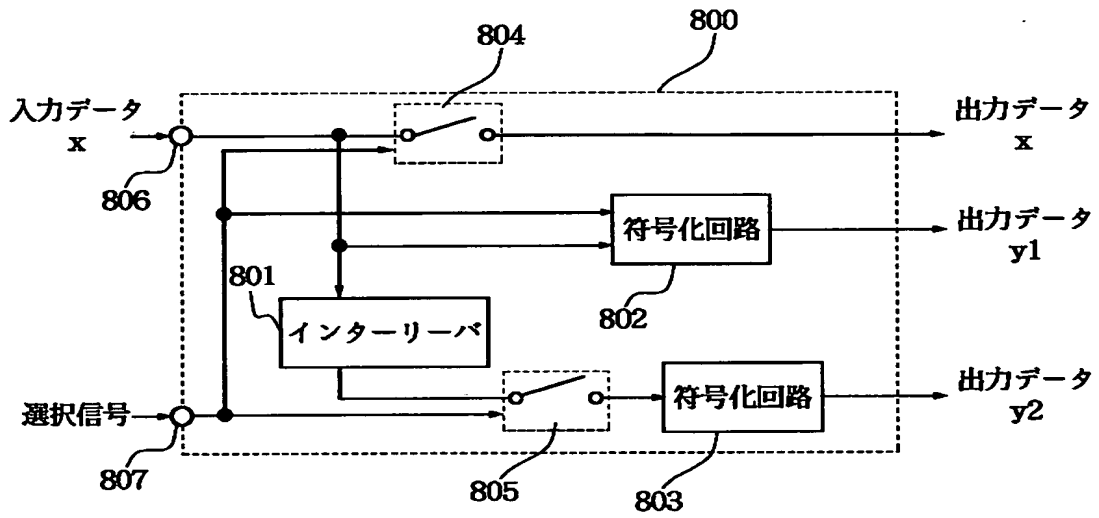
【図 6】



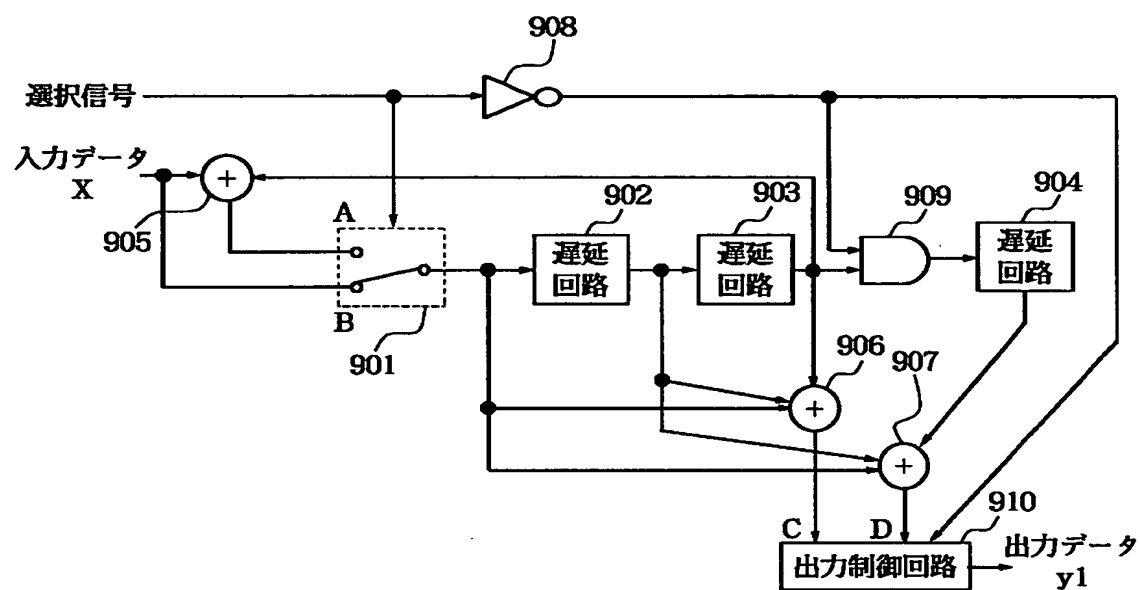
【図 7】



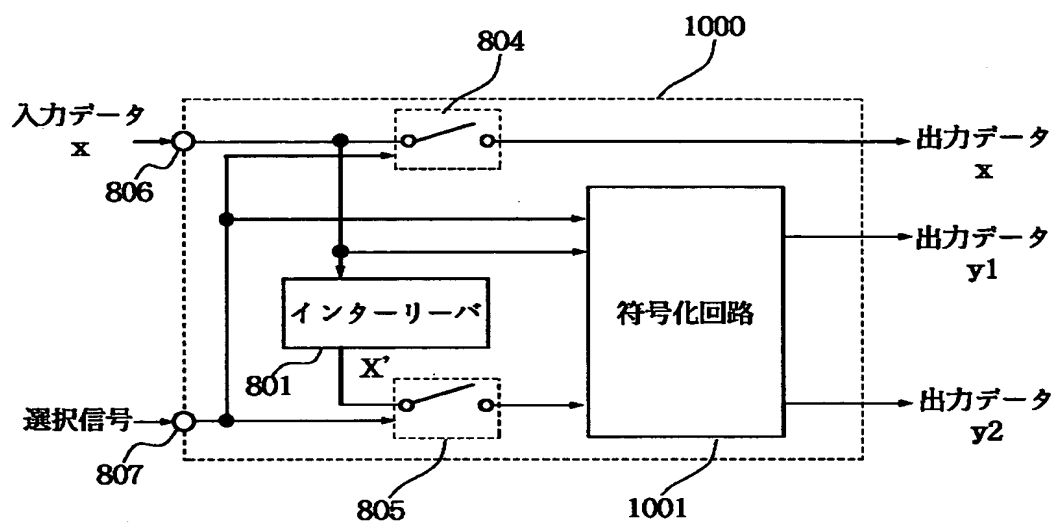
【図 8】



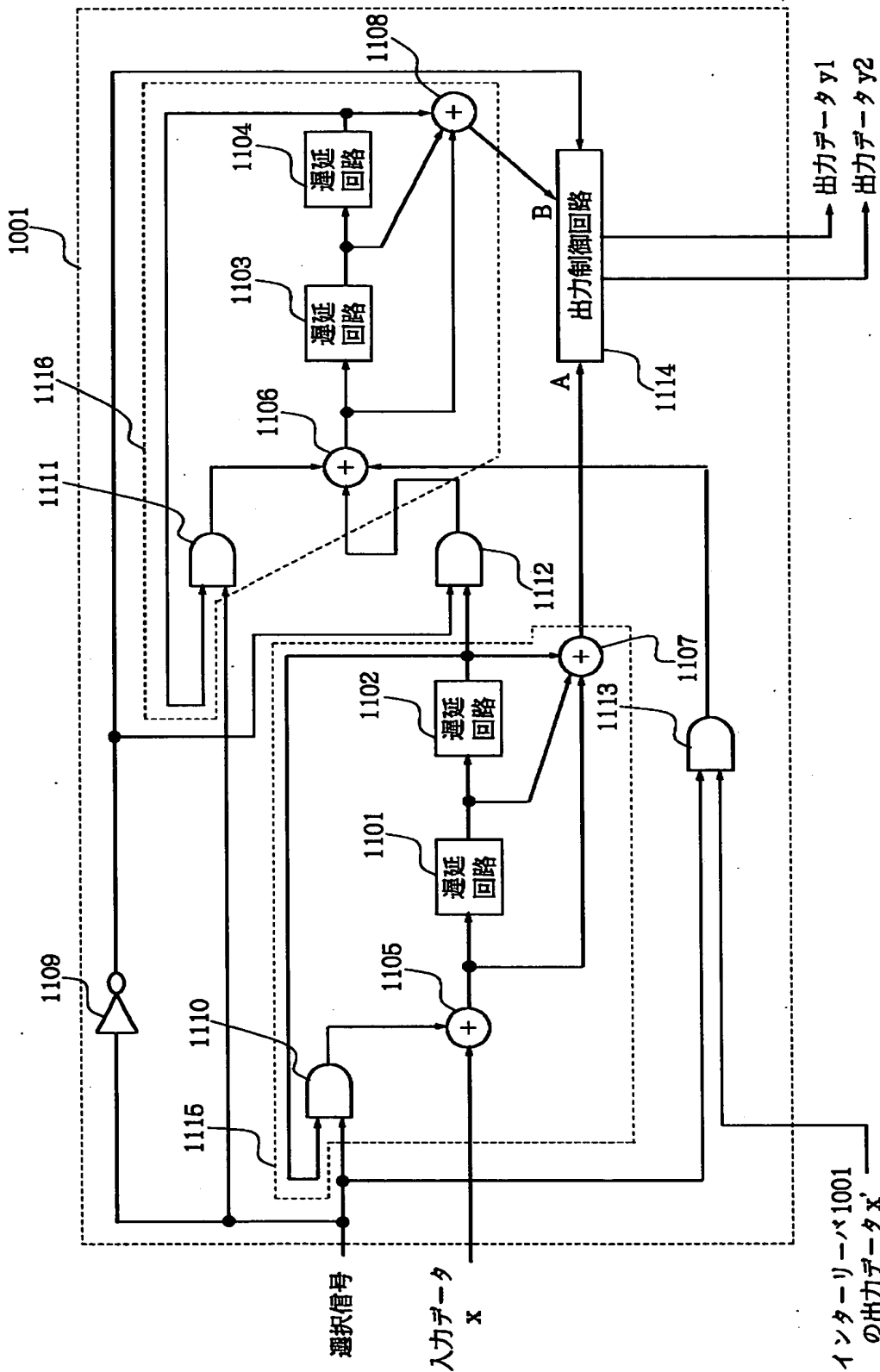
【図 9】



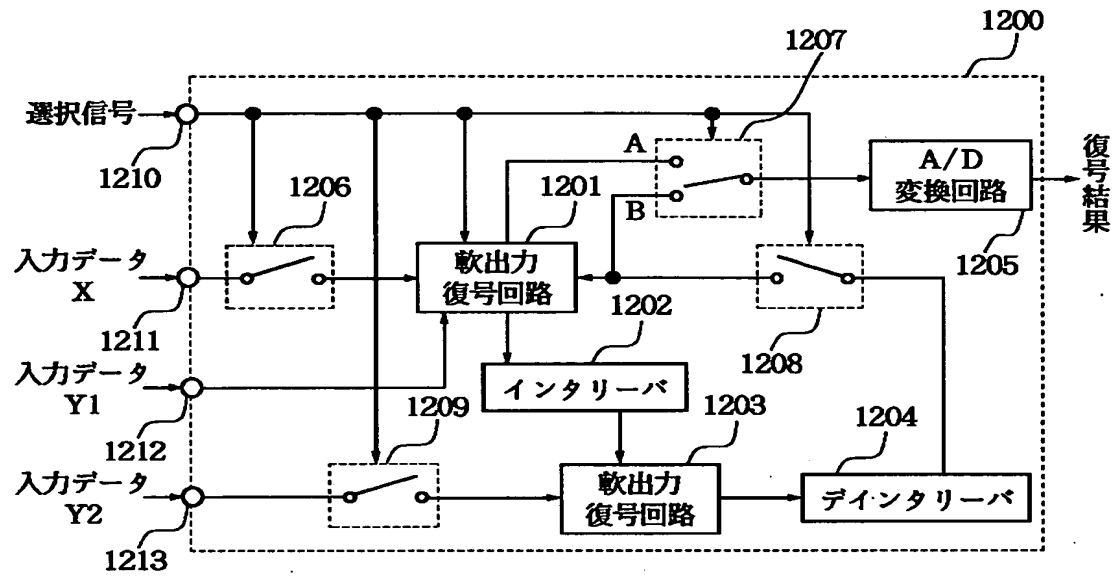
【図 1 0】



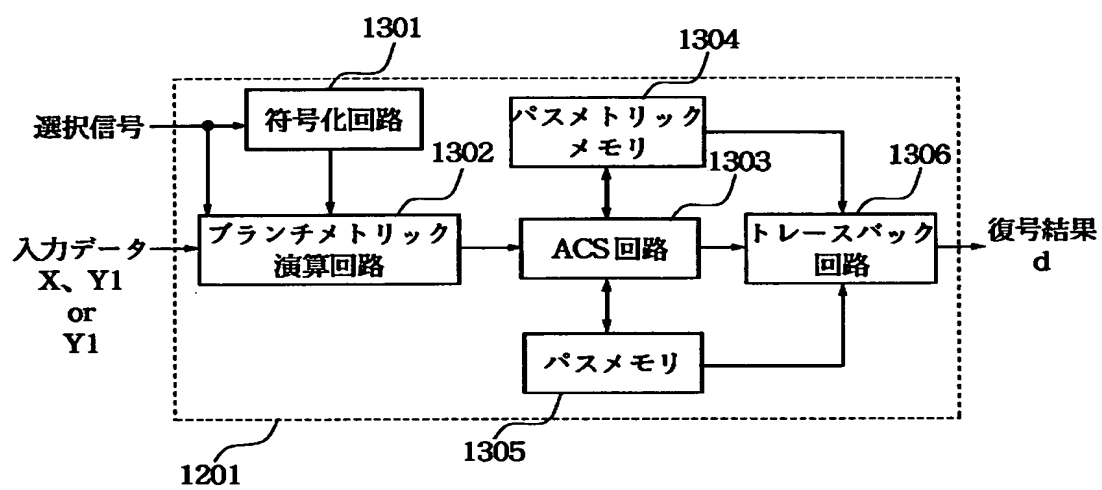
【図 1 1】



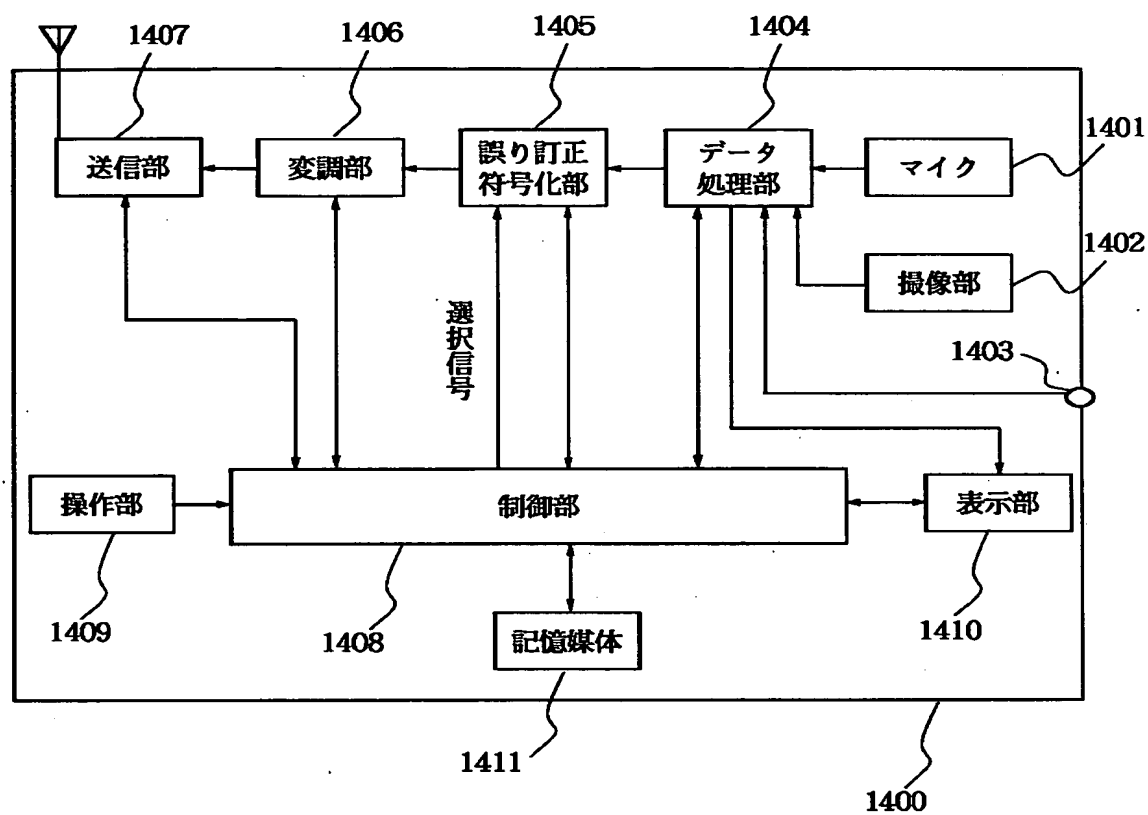
【図 1 2】



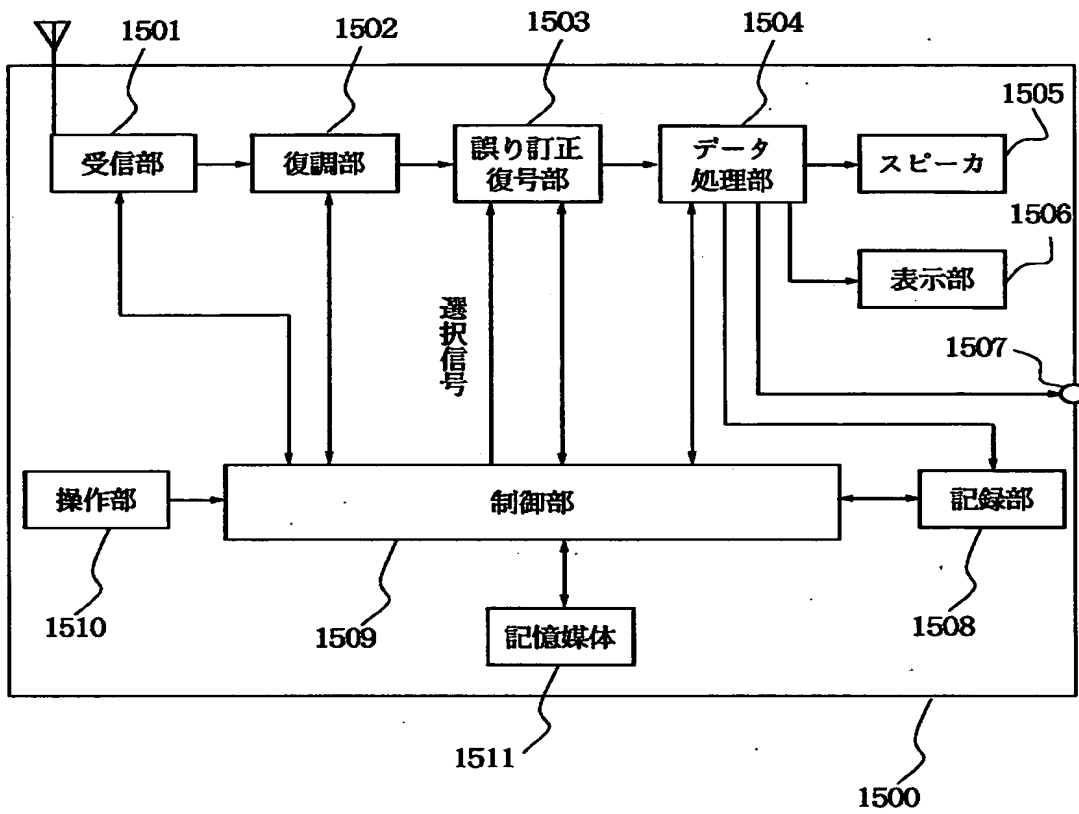
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 複数種類の誤り訂正符号化アルゴリズム或いは複数種類の誤り訂正復号アルゴリズムを、回路規模を増大させることなく、簡単且つ低コストな回路構成で実現する。

【解決手段】 入力データを誤り訂正符号化する第1の符号化回路502と、入力データを所定の順序に並べ替えるインタリーバ501と、インタリーバ501の出力を誤り訂正符号化する第2の符号化回路503とを具備し、複数種類の誤り訂正符号化アルゴリズムを第1の符号化回路502を共用して実現する。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社